

# MỤC LỤC

MỤC LỤC.....	1
DANH MỤC HÌNH ẢNH .....	3
LỜI NÓI ĐẦU.....	6
CHƯƠNG 1.....	8
TỔNG QUAN VỀ NGHỊCH LƯU ĐA MỨC.....	8
1.1. Tổng quan về nghịch lưu đa mức .....	8
1.2. Phân loại .....	10
1.2.1. Cấu trúc dạng diode kẹp .....	10
1.2.2. Cấu trúc tụ điện thay đổi FC.....	11
1.2.3. Cấu trúc dạng cầu H nối tầng.....	11
1.3. Kết luận .....	13
CHƯƠNG 2.....	15
ĐIỀU CHẾ PWM CHO NGHỊCH LƯU ĐA MỨC .....	15
2.1 Phương pháp Sin-PWM .....	15
2.1.1. Dịch pha sóng mang ( phase shift).....	15
2.1.2. Dịch mức sóng mang (Level shift).....	16
2.2. Phương pháp điều chế vector không gian SVM.....	17
2.2.1 Xác định trạng thái đóng cắt van, trạng thái mức, trạng thái vector chuẩn ( State switch, State level, State vector).....	18
2.2.2 Tổng hợp vector điện áp đầu ra từ vector trạng thái chuẩn.....	25
2.2.3. Tính toán hệ số điều chế.....	31
2.2.4 Nguyên lý phát xung đến các van.....	32

2.3 So sánh giữa SinPWM và SVM .....	38
2.4 Kết luận .....	39
CHƯƠNG 3.....	40
ỨNG DỤNG FPGA TRONG ĐIỀU CHẾ .....	40
3.1. Tổng quan về công nghệ FPGA.....	40
3.1.1. Lịch sử ra đời .....	40
3.1.2. Ưu điểm FPGA .....	41
3.1.3. Cấu trúc tổng quan FPGA .....	41
3.1.4. Ứng dụng .....	44
3.2. Công cụ lập trình FPGA.....	44
3.2.1. Ngôn ngữ VHDL.....	45
3.2.2. Toolbox System Generator for DSP trong Matlab/Simulink .....	48
3.3. Sơ đồ thuật toán điều chế PWM cho nghịch lưu ba pha ba mức .....	49
3.3.1. Sơ đồ thuật toán Sin -PWM.....	49
3.3.2. Sơ đồ thuật toán SVM .....	50
3.4 Lập trình FPGA điều chế PWM cho nghịch lưu ba pha ba mức.....	51
3.4.1 Lập trình FPGA cho điều chế Sin-PWM.....	52
3.4.2. Lập trình FPGA trong điều chế vecto không gian SVM.....	58
KẾT LUẬN CHUNG .....	67
TÀI LIỆU THAM KHẢO.....	68

## DANH MỤC HÌNH ẢNH

Hình 1.1. (a). Nghịch lưu cầu ba pha 2 mức, (b) Điện áp dây đầu ra, ..... 8	8
(c) Điện áp pha đầu ra..... 8	8
Hình 1.2. Cấu trúc nghịch lưu 11 mức cầu H nối tầng..... 9	9
Hình 1.3. Điện áp pha đầu ra 11 mức ..... 9	9
Hình 1.4. Sơ đồ cấu trúc bộ biến đổi năm mức 1 pha kiểu diode kẹp ..... 10	10
Hình 1.5. Sơ đồ bộ biến đổi 5 mức 1 pha kiểu tụ điện thay đổi ..... 11	11
Hình 1.6. Trạng thái đóng cắt mỗi cell ..... 12	12
Hình 1.7. Sơ đồ cấu trúc bộ biến đổi 1 pha 7 mức kiểu cầu H nối tầng..... 13	13
Hình 2.1. Dịch pha sóng mang 3 pha mức..... 16	16
Hình 2.2. Dịch mức sóng mang..... 17	17
Hình 2.3. Sơ đồ xác định các trạng thái đóng cắt van ..... 18	18
Hình 2.4. Nghịch lưu 3 mức cầu H nối tầng..... 19	19
Hình 2.5. Nghịch lưu ba mức cầu H một pha ..... 19	19
Hình 2.6. Vectơ không gian cho nghịch lưu ba mức..... 25	25
Hình 2.7. Hệ tọa độ không vuông góc tạo nên các góc phần sáu ( các sector) ..... 25	25
Hình 2.8. Thuật toán xác định sector lớn..... 27	27
Hình 2.9. Thứ tự các tam giác có trong một sector lớn của nghịch lưu ba mức..... 27	27
Bảng 2.4. Xác định thứ tự tam trong sector lớn 1 ..... 28	28
Hình 2.10. Đồ thị minh họa quá trình tính toán các hệ số điều chế..... 29	29
Hình 2.11. Tổng hợp vector điện áp ra từ ba vector đỉnh của tam giác ..... 30	30
Hình 2.12. Nguyên lý phát xung đến các van ..... 32	32
Hình 2.13. Cấu trúc nghịch lưu ba pha ba mức cầu H ..... 33	33
Hình 2.14. Bảng chọn tổ hợp trạng thái vector chuẩn..... 34	34
Hình 2.15. Thứ tự đóng cắt cho chế độ nghịch lưu 2 mức ..... 35	35
Hình.2.16. Thứ tự thực hiện vector cho Tam giác 1 của Sector 1 ..... 36	36
Hình 2.17. Thứ tự đóng cắt cho chế độ ba mức ..... 36	36

Hình 2.18. Thứ tự thực hiện vector trong Tam giác 3 của Sector 1 .....	37
Hình 3.1. Cấu trúc tổng quan FPGA .....	41
Hình 3.2. Khối CLB.....	42
Hình 3.3. Khối kết nối .....	43
Hình 3.4. Cấu trúc một mô hình hệ thống mô tả bằng VHDL.....	46
Hình 3.5. Khai báo thư viện .....	46
Hình 3.6. Thành phần chính trong System Generator .....	48
Hình 3.7. Các khối con trong Xilinx Blockset .....	49
Hình 3.8. Sơ đồ thuật toán điều chế Sin-PWM pha a.....	49
Hình 3.9. Sơ đồ thuật toán SVM .....	50
Hình 3.10. Mã hóa tín hiệu phát xung .....	51
Hình 3.11. Sơ đồ khối PWM.....	52
Hình 3.13. Khối tạo sóng Sin pha a bằng DDS Block .....	53
Hình 3.14. Khối tạo sóng răng cưa.....	54
Hình 3.15. Khối logic .....	54
Hình 3.16. Khối H-BRIDGE.....	55
Hình 3.17. Đồ thị điện áp, dòng điện ra tải và $V_{ZN}$ .....	56
Hình 3.18. Mức điện áp đầu ra ba pha.....	56
Hình 3.19. Phân tích FFT biên độ $V_{ref}$ là 150, $f = 50$ hz.....	57
Hình 3.20. Phân tích FFT biên độ $V_{ref}$ là 375V, $f = 50$ hz.....	57
Hình 3.21. Sơ đồ khối SVM.....	58
Hình 3.22. Khối chuyển tọa độ abc sang alpha-beta .....	59
Hình 3.23. Khối tính toán hệ số biến điệu .....	59
Hình 3.24. Khối transform .....	60
Hình 3.25. Khối LUT theo tối ưu $V_{ZN}$ .....	60
Hình 3.26. Khối LUT theo tối ưu đóng cắt.....	61
Hình 3.27. Khối S_Vector.....	61
Hình 3.28. Khối Pulse.....	62
Hình 3.29. Điện áp, dòng điện ra tải và $V_{ZN}$ theo tối ưu $V_{ZN}$ .....	63
Hình 3.30. Điện áp, dòng điện ra tải và $V_{ZN}$ theo tối ưu đóng cắt.....	63

Hình 3.31. Mức điện áp các pha theo tối ưu $V_{ZN}$ .....	64
Hình 3.32. Mức điện áp các pha theo tối ưu đóng cắt.....	64
Hình 3.33. THD ứng với $V_{ref} = 150$ , $f = 50\text{hz}$ .....	65
Hình 3.34. THD ứng với $V_{ref} = 375$ , $f = 50\text{hz}$ .....	65
Hình 3.35. THD ứng với $V_{ref} = 525$ , $f = 50\text{hz}$ .....	66

## LỜI NÓI ĐẦU

Ngày nay Khoa học – Kỹ thuật ngày càng có những bước tiến vượt bậc nhu cầu sử dụng năng lượng là yếu tố vô cùng quan trọng cho sự phát triển của mỗi quốc gia. Khi nguồn năng lượng hóa thạch truyền thống đang cạn kiệt dần, việc xây dựng và đưa vào các ứng dụng các hệ thống điện dùng năng lượng tái tạo đã trở nên một yêu cầu bức thiết. Các hệ thống năng lượng tái tạo đặc trưng bởi các nguồn phát phân tán trong một lưới điện yếu quy mô tương đối nhỏ. Việc kết nối nguồn phát phân tán trong lưới điện nhỏ có kết nối với lưới quốc gia đòi hỏi có các bộ biến đổi điện năng tin cậy. Nghịch lưu đa mức chính (NLĐM) là các thiết bị biến đổi có thể đáp ứng các yêu cầu này. NLĐM phân nhỏ các bước nhảy điện áp ra phía xoay chiều, giảm được tốc độ tăng điện áp trên tải, các van bán dẫn chỉ phải đóng cắt ở mức điện áp thấp, tần số đóng cắt của các đơn vị mạch lực thấp trong khi vẫn đảm bảo tần số điện áp ra của quá trình điều chế cao. NLĐM được coi như một giải pháp hiệu quả cho các ứng dụng công suất lớn và điện áp cao. Các bộ nghịch lưu độc lập là một trong những bộ biến đổi rất quan trọng, có những ứng dụng cấp thiết trong thực tế. Các phụ tải xoay chiều ngày nay yêu cầu nguồn điện cung cấp có điện áp, tần số thay đổi được trong phạm vi rộng. Bên cạnh đó, công nghệ FPGA là một phương án ngày càng được ứng dụng rộng rãi trong Điện tử công suất.

Trong thời gian của kỳ học 20172, em được sự phân công và thực hiện **Đề Án Chuyên Ngành** với thầy giáo TS. Vũ Hoàng Phương, được thầy hướng dẫn cho đề tài: ***“Tìm hiểu và ứng dụng FPGA cho nghịch lưu nguồn áp ba pha ba mức sử dụng hai phương pháp SinPWM và SVM”***.

Nội dung của đề án gồm 5 chương như sau:

Chương 1: Tổng quan chung về nghịch lưu nguồn áp ba pha ba mức

Chương 2: Phương pháp điều chế độ rộng xung

Chương 3: Ứng dụng FPGA trong điều chế độ rộng xung

Kết luận chung

Nhờ có sự hướng dẫn tận tình của thầy giáo TS. Vũ Hoàng Phương, đã giúp em nắm bắt rõ nhiệm vụ và thực hiện đề tài hiệu quả, em xin chân thành cảm ơn thầy rất nhiều. Bên cạnh đó, mặc dù em đã cố gắng thực hiện đề án cẩn thận, nhưng do kiến thức và năng lực còn hạn chế, bản báo cáo khó tránh khỏi những sai sót, em kính mong các thầy cô, cùng các bạn góp ý thêm nữa.

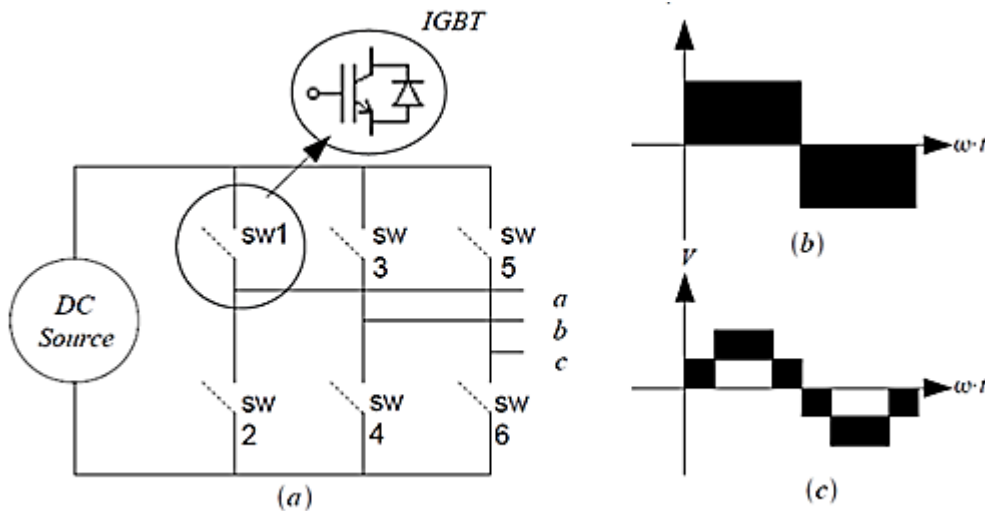
Em xin chân thành cảm ơn!

# CHƯƠNG 1

## TỔNG QUAN VỀ NGHỊCH LƯU ĐA MỨC

### 1.1. Tổng quan về nghịch lưu đa mức

Nghịch lưu là bộ biến đổi DC-AC, cung cấp dạng sóng sin đầu ra với biên độ (V), tần số (rad/s) và pha (a,b,c) từ một nguồn DC.

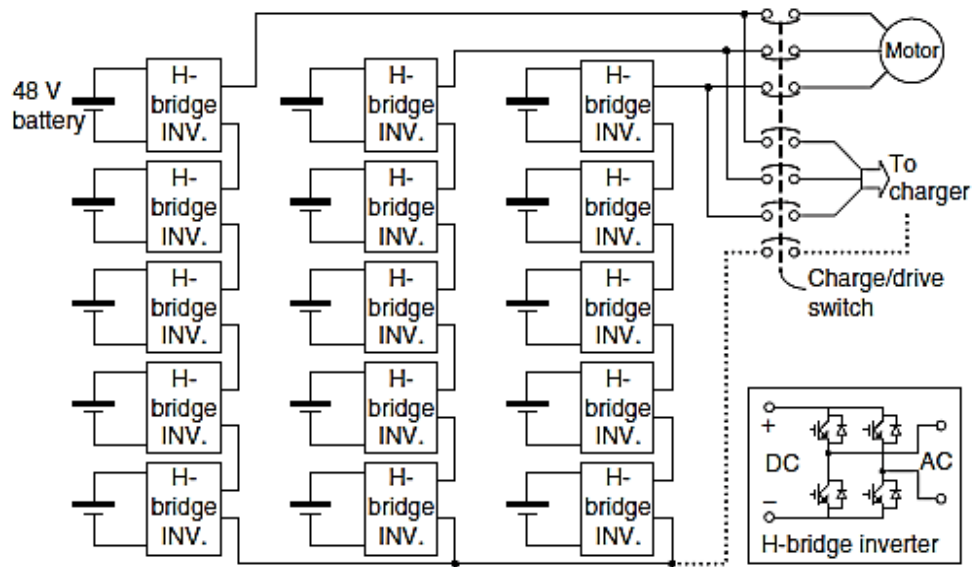


Hình 1.1. (a). Nghịch lưu cầu ba pha 2 mức, (b) Điện áp dây đầu ra, (c) Điện áp pha đầu ra

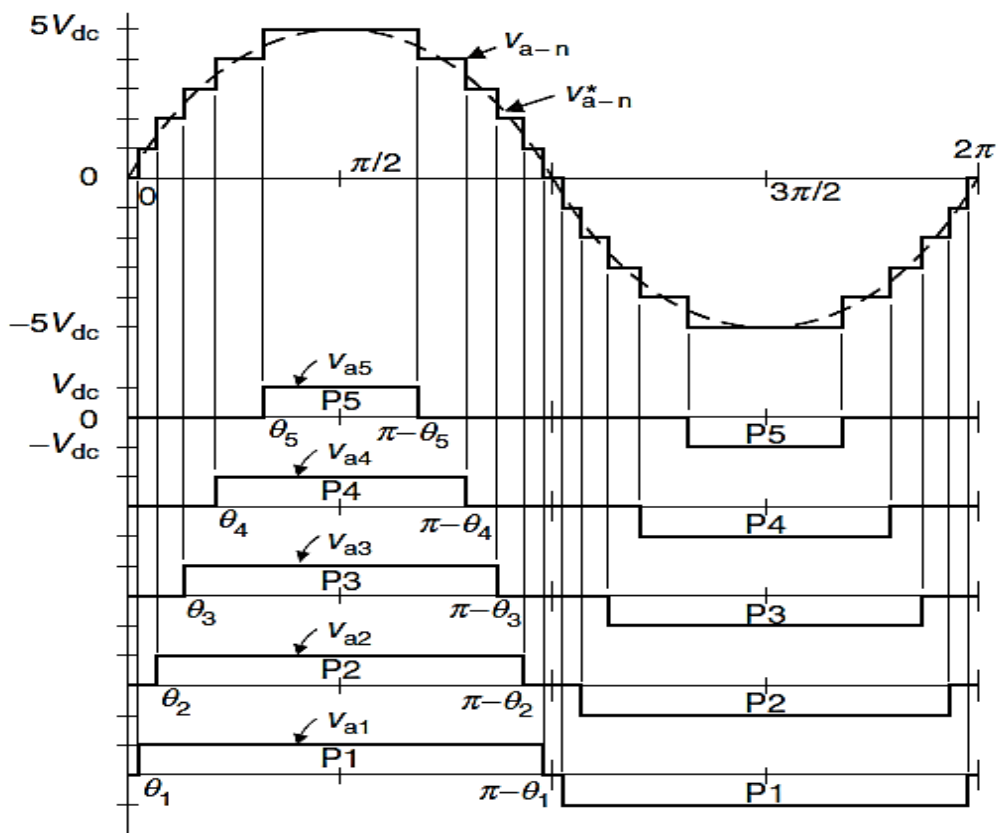
Nghịch lưu đa mức là bộ biến đổi sử dụng chuỗi các van bán dẫn và nhiều nguồn DC kết hợp lại với nhau đưa ra điện áp có dạng sóng sin đầu ra với chất lượng tốt, các bước nhảy điện áp bé ( $dv/dt$ ), hệ số méo sóng hài (THD) thấp. Nghịch lưu đa mức không chỉ đạt tới công suất cao mà còn cho phép sử dụng các nguồn năng lượng tái tạo

Nguồn DC có thể là PIN, ACQUY, các nguồn điện áp từ năng lượng tái tạo(gió,mặt trời,...),...





Hình 1.2. Cấu trúc nghịch lưu 11 mức cầu H nối tầng



Hình 1.3. Điện áp pha đầu ra 11 mức

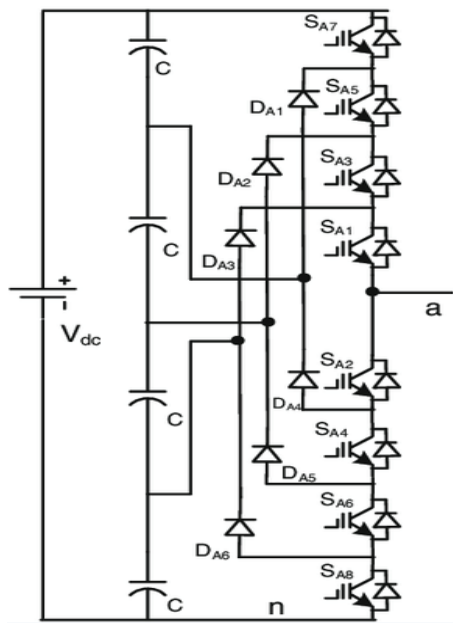
## 1.2. Phân loại

Hiện nay, nghịch lưu đa mức có các cấu trúc phổ biến sau:

- Cấu trúc dạng diode kẹp (Neutral Point Clamped Multilevel Inverter-NPC).
- Cấu trúc dùng tụ điện thay đổi (Flying Capacitor -FC).
- Cấu trúc dạng cầu H nối tầng (Cascade H-Bridge).

### 1.2.1. Cấu trúc dạng diode kẹp

Cấu trúc này được giới thiệu bởi A. Nabae, I. Takahashi và H. Akagi vào năm 1981. Sử dụng thích hợp khi các nguồn DC tạo nên từ hệ thống điện AC. Bộ nghịch lưu đa bậc chứa các cặp diode kẹp có một mạch nguồn DC được phân chia thành một số cấp điện áp nhỏ hơn nhờ chuỗi các tụ điện mắc nối tiếp. Bộ biến đổi điốt kẹp sử dụng các điốt và tụ điện nối tầng để tạo ra nhiều mức điện áp khác nhau. **Hình 1.4.** là sơ đồ cấu trúc bộ biến đổi điốt kẹp một pha năm mức 1 pha, nó tạo ra các mức điện áp  $V_{dc}$ ,  $V_{dc}/2$ ,  $0$ ,  $-V_{dc}/2$ ,  $-V_{dc}$ .



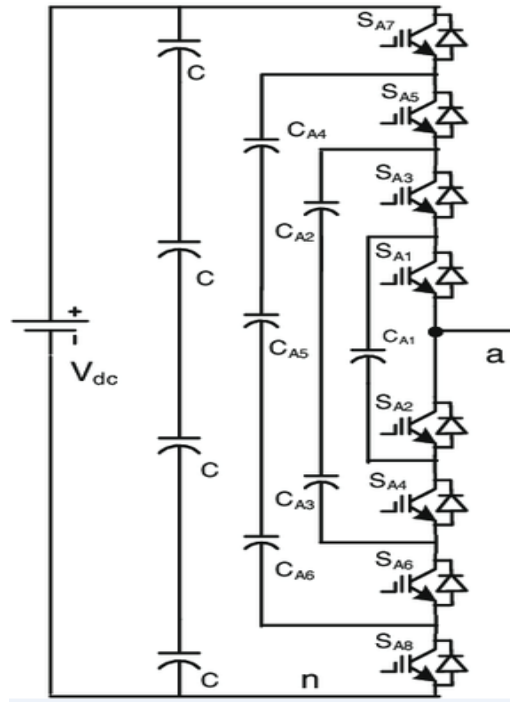
Hình 1.4. Sơ đồ cấu trúc bộ biến đổi năm mức 1 pha kiểu diode kẹp

Nếu bộ nghịch lưu được thiết kế sao cho mỗi điốt khóa đều có cùng mức điện áp với các van chuyển mạch, thì điốt  $D_n$  sẽ phải tương đương với  $n$  điốt mắc nối tiếp nhau. Khi đó dẫn đến số lượng điốt cần có của bộ biến đổi  $m$  mức sẽ là  $2(m-2)$ .

Các ứng dụng tiêu biểu của NLĐM cấu trúc điốt kẹp là: kết nối trung gian giữa đường dây truyền tải điện áp cao một chiều với đường dây truyền tải xoay chiều; dùng trong điều khiển tốc độ cho động cơ công suất lớn, sử dụng điện trung áp.

### 1.2.2. Cấu trúc tụ điện thay đổi FC

Cấu trúc này được đề xuất năm 1993 bởi Meynard và Foch. **Hình 1.5** mô tả cấu trúc bộ biến đổi đa mức 1 pha dùng tụ điện thay đổi với 5 mức điện áp.

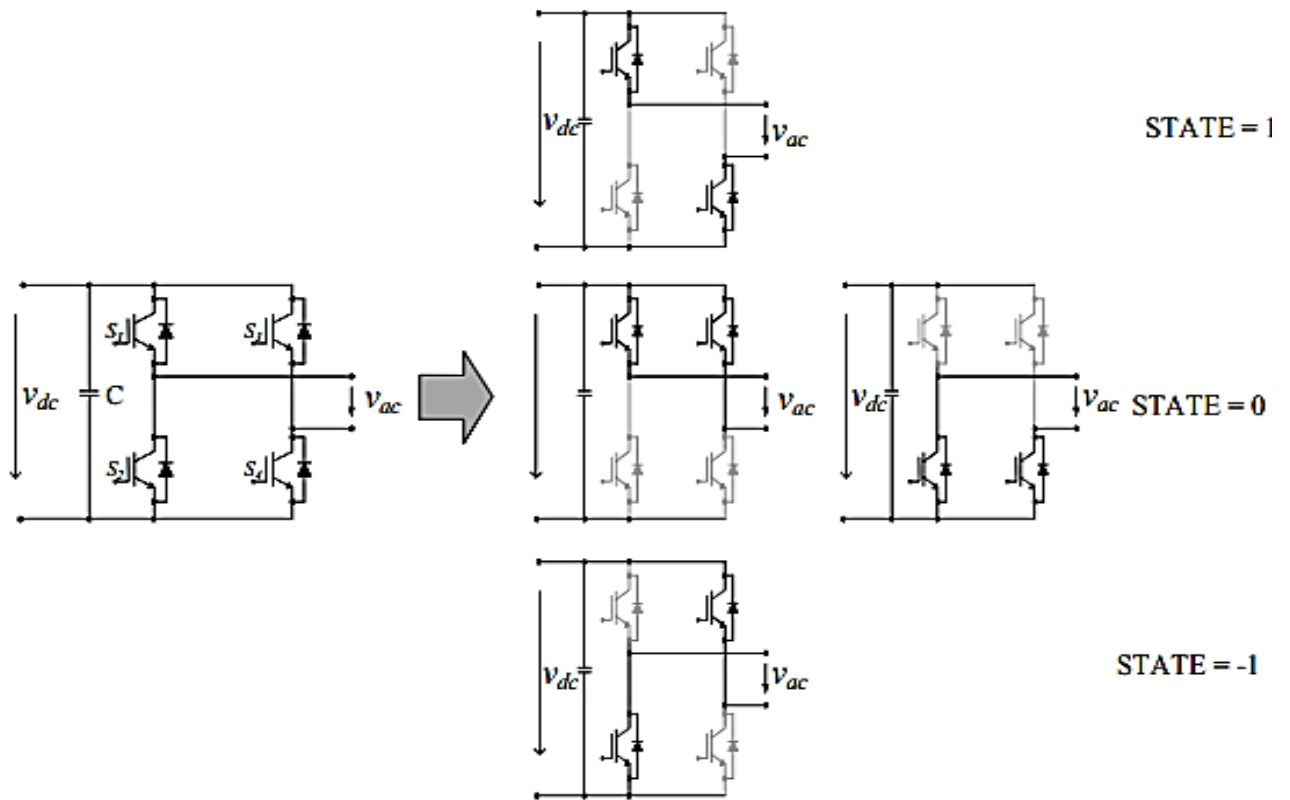


*Hình 1.5. Sơ đồ bộ biến đổi 5 mức 1 pha kiểu tụ điện thay đổi*

Với sự kết hợp giữa nạp/xả các tụ có thể giúp cân bằng điện áp trên tụ. Tương tự cấu trúc điốt kẹp, ta cũng cần một số lượng lớn các tụ để kẹp điện áp. Với điều kiện áp nạp trên mỗi tụ là như nhau, một BBD  $m$  mức cần  $(m-1)(m-2)/2$  tụ kẹp trên mỗi pha cùng  $(m-1)$  tụ trên bus DC chung.

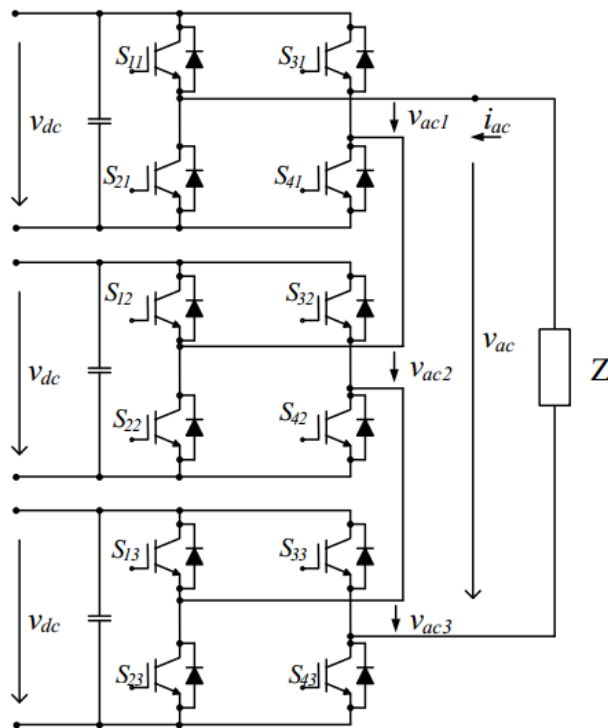
### 1.2.3. Cấu trúc dạng cầu H nối tầng

Cấu trúc cầu H nối tầng (Cascaded H-Bridge) được cấu thành từ nhiều cầu H mắc nối tiếp, mỗi cầu H (hay mỗi cell) gồm 4 khóa bán dẫn mắc theo sơ đồ cầu, được cung cấp bởi một nguồn DC. Mỗi cell sẽ tạo ra ba mức điện áp (1,0,-1), các trạng thái đóng cắt ứng với mỗi mức điện áp thể hiện dưới **Hình 1.6**.



Hình 1.6. Trạng thái đóng cắt mỗi cell

Hoạt động của  $n$  bộ nghịch lưu áp trên một nhánh pha tải sẽ tạo nên  $n$  khả năng mức điện áp theo chiều dương, mức điện áp 0 và  $n$  khả năng mức điện áp theo chiều âm. **Hình 1.7.** là cấu trúc một pha của nghịch lưu bảy mức dùng 3 cầu chữ H nối tầng. Các nguồn DC có thể có giá trị bằng nhau hoặc khác nhau theo một quy luật nhất định. Điện áp đầu ra của nghịch lưu  $m$  mức là tổng của tất cả các giá trị đầu ra của các mạch cầu. Nếu tất cả các nguồn DC có giá trị bằng nhau thì với  $m$  mức trên dạng sóng điện áp đầu ra có một mức không là chung khi tất cả các cầu H đều cho đầu ra không, vậy trong nửa chu kỳ sẽ có số mức là  $(m-1)/2$ , chính là số cầu H thành phần. Như vậy số mức chỉ có thể là số lẻ, ví dụ ba mức (chỉ gồm một cell,  $n=1$ ), năm mức (hai cell,  $n=2$ ),... Nghịch lưu đa mức cấu trúc cầu H nối tầng có thể tạo ra dạng sóng điện áp gần như hình sin từ một số nguồn DC, có thể được lấy từ pin mặt trời, pin nhiên liệu, tụ điện, từ chỉnh lưu với máy biến áp có nhiều cuộn thứ cấp..., nhưng đều phải đảm bảo yêu cầu các nguồn DC đó cách ly nhau.



Hình 1.7. Sơ đồ cấu trúc bộ biến đổi 1 pha 7 mức kiểu cầu H nối tầng

### 1.3. Kết luận

Ngày nay, trong công nghiệp sử dụng các thiết bị công suất cao vì vậy yêu cầu các bộ biến đổi đáp ứng được chất lượng tốt mà còn phải tiết kiệm năng lượng tối đa. Nghịch lưu đa mức đáp ứng được yêu cầu trên.

Nghịch lưu đa mức phổ biến trong các ứng dụng công suất vừa và cao như nối lưới (tiết kiệm năng lượng), động cơ công suất lớn,....

Giữa các cấu trúc nghịch lưu đa mức ta thấy cấu trúc nối tầng “Dạng nối tầng cầu H (Cascade Multilevel H-Bridge Inverter)” chiếm ưu thế vì nó có các ưu điểm:

- Tiết kiệm được số linh kiện, thể hiện ở **Bảng 1.1**.
- Dễ dàng thay đổi cấu hình, tăng số bậc bằng cách tăng số mạch cầu H.
- Đảm bảo chất lượng về mặt điện áp và yêu cầu công suất lớn.

Cấu hình nghịch lưu	Diode kẹp NPC	Tụ thay đổi	Cascade inverter
Van IGBT	$2(n-1)$	$2(n-1)$	$2(n-1)$
Diode đối song	$2(n-1)$	$2(n-1)$	$2(n-1)$
Diode kẹp	$2(n-2)$	0	0
Tụ trên nguồn DC	$(n-1)$	$(n-1)$	$(n-1)/2$
Tụ cân bằng	0	$(n-1)(n-2)/2$	0

*Bảng 1.1. So sánh linh kiện 1 pha giữa các dạng nghịch lưu đa mức*

Vì những ưu điểm trên trong đề án này em chọn cấu trúc nghịch lưu đa mức dạng nối tầng cầu H (Cascade Multilevel H-Bridge Inverter) cho nghịch lưu ba pha ba mức.

## CHƯƠNG 2

### ĐIỀU CHẾ PWM CHO NGHỊCH LƯU ĐA MỨC

Kỹ thuật điều chế độ rộng xung PWM cho nghịch lưu đa mức gồm 2 phương pháp chính là : điều chế Sin-PWM và điều chế vector không gian SVM. Các dạng PWM nhiều sóng mang sử dụng cho nghịch lưu đa mức là dịch pha sóng mang và dịch mức sóng mang.

#### 2.1 Phương pháp Sin-PWM

Sin-PWM là phương pháp so sánh một sóng sin chuẩn, có tần số bằng tần số ra nghịch lưu mong muốn, với một điện áp răng cưa tần số cao cỡ 2-10Khz từ đó thay đổi được độ rộng xung mở van.

Có 2 phương pháp phổ biến để điều chế độ rộng xung Sin-PWM trong nghịch lưu cầu 1 pha : điều chế đơn cực và điều chế lưỡng cực. Điều chế đơn cực sẽ cho sóng hài tốt hơn. Vì khi điều chế một cực tính mỗi nhánh nửa cầu được điều khiển bởi tín hiệu PWM bởi 2 răng cưa lệch nhau  $180^\circ$ . Như vậy số răng cưa có thể tăng lên gấp đôi hay nói cách khác là điện áp đầu ra có tần số gấp đôi tần số chuyển mạch. Do đó điện áp đầu ra cho chỉ số sóng hài tốt hơn.

Có hai phương pháp điều chế sóng mang :

- Dịch pha sóng mang (Phase-shifted).
- Dịch mức (Level- shifted).

Phương pháp dịch mức(Level- shifted) sẽ cho hệ số méo sóng hài (THD) tốt hơn so với dịch pha (Phase-shifted).

##### 2.1.1. Dịch pha sóng mang ( phase shift)

Theo phương pháp dịch pha tất cả các cầu H đều tuân theo cùng một sóng sin chuẩn. Sóng mang là sóng răng cưa, có  $(m-1)$  sóng răng cưa (với  $m$  là số mức của NLĐM).

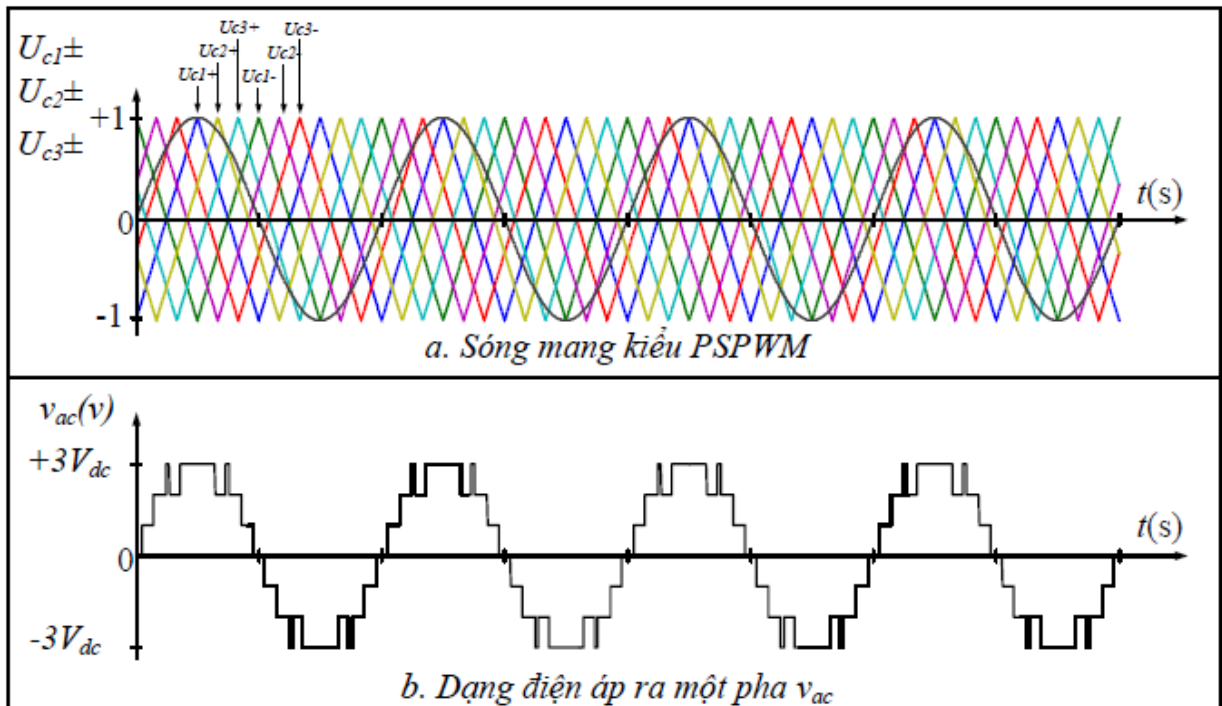
Độ dịch pha giữa hai sóng mang liên kề nhau:  $\frac{360^\circ}{(m-1)}$

Ở phạm vi đề tài này là nghịch lưu 3 pha, điện áp ra mỗi pha có 3 mức, số cầu H ở mỗi pha là 1, do vậy cần sử dụng 2 tín hiệu răng cưa lệch nhau  $180^\circ$

Hệ số điều chế biên độ  $m = \frac{A_{ref}}{A_{car}}$  trong đó

$A_{car}$  biên độ tín hiệu sóng mang

$A_{ref}$  là biên độ tín hiệu đặt (tín hiệu sin chuẩn).



Hình 2.1. Dịch pha sóng mang 3 pha mức

### 2.1.2. Dịch mức sóng mang (Level shift)

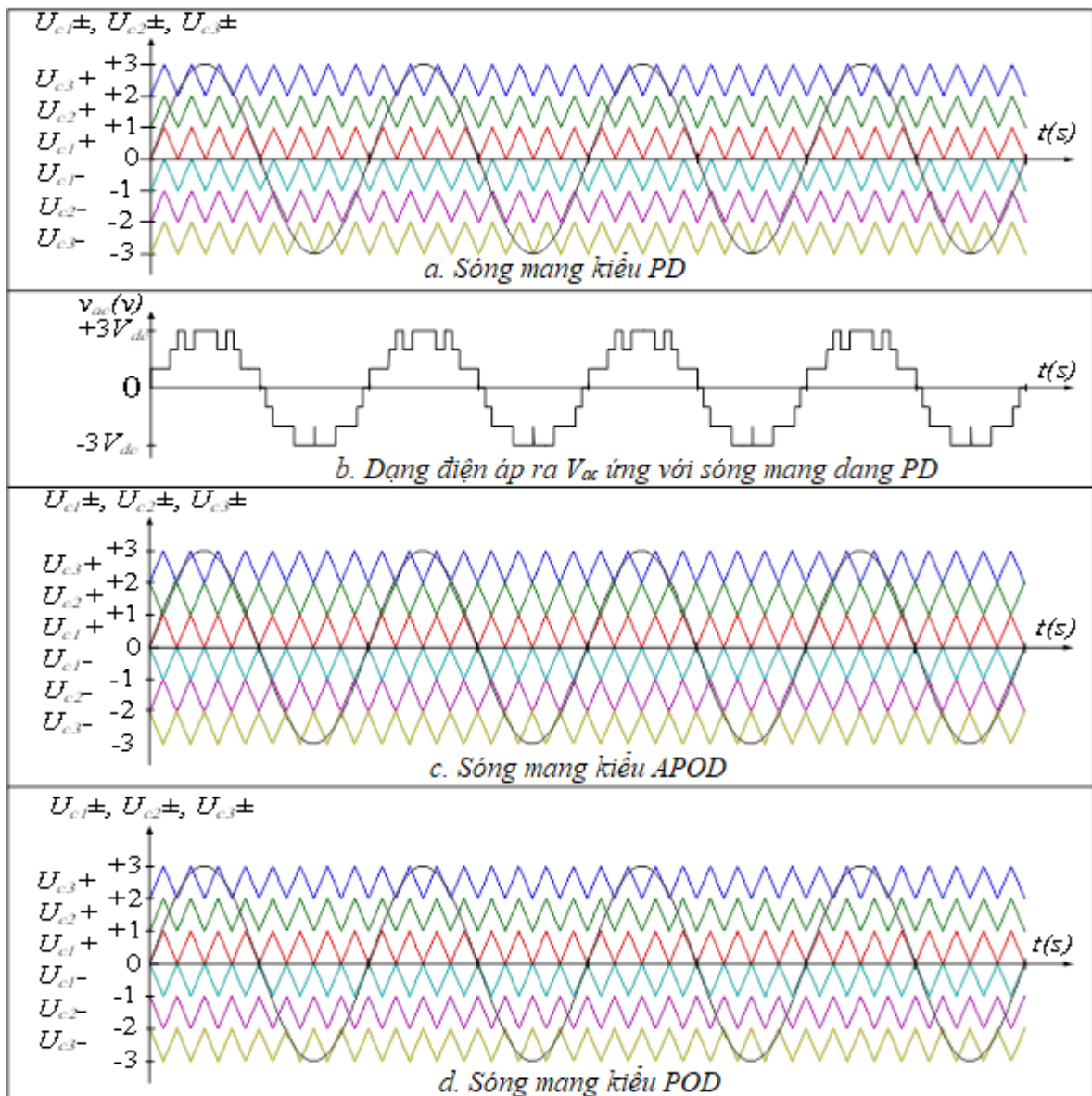
Với phương pháp dịch mức, có ba kiểu bố trí sóng mang biểu diễn **Hình 2.2**.

- PD (Phase Disposition): tất cả các sóng mang đều cùng pha.

- APOD (Alternative Phaseopposite Disposition): Bố trí ngược pha luân phiên, hai sóng mang kế cận liên tiếp nhau dịch pha  $180^\circ$ .

- POD (Phase Opposite Disposition): Các sóng mang kế cận liên tiếp nhau nằm bên trên và bên dưới trục zero sẽ cùng pha với nhau, hai sóng mang nằm trên trục zero ngược pha với nhau biểu diễn dạng điện áp ra  $v_{ac}$  ứng với phương pháp điều chế sóng mang kiểu PD, hai kiểu sóng mang còn lại cũng cho dạng điện áp ra  $v_{ac}$  tương tự.





Hình 2.2. Dịch mức sóng mang

## 2.2. Phương pháp điều chế vector không gian SVM

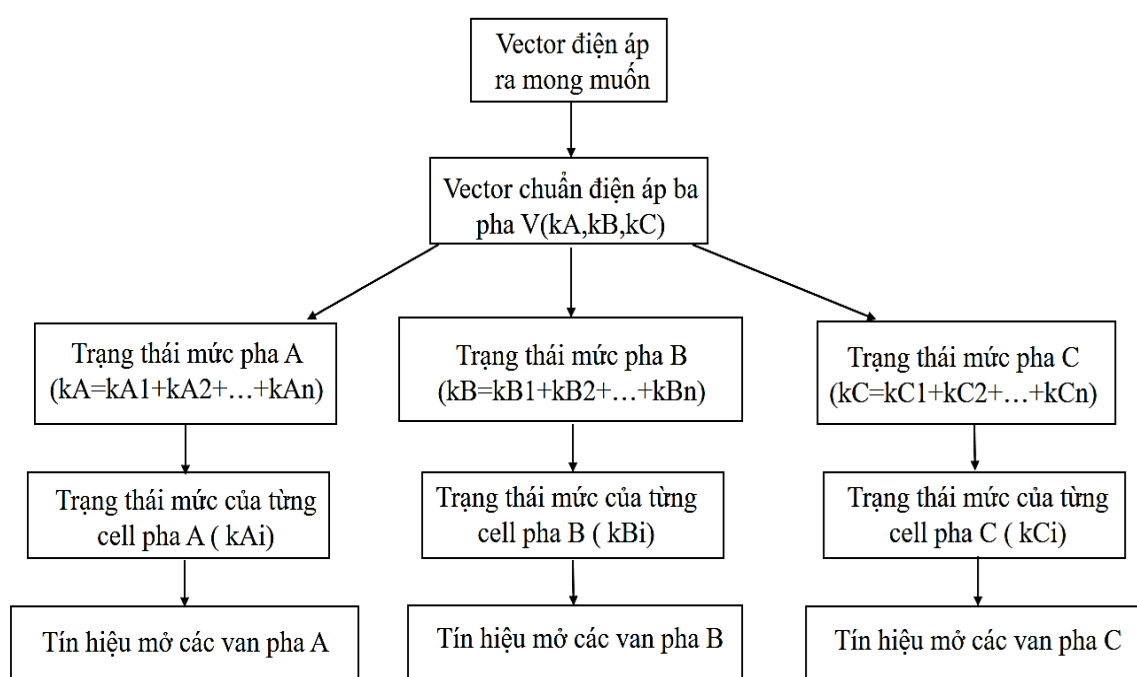
Phương pháp điều chế Sin-PWM như đã trình bày ở mục [2.1] có cấu trúc đơn giản, tuy nhiên khi thực hiện rất khó đảm bảo tính chính xác của quá trình điều chế. Ngày nay phương pháp điều chế vectơ không gian (Space Vector Modulation) đang được ứng dụng ngày càng rộng rãi hơn. SVM là phương pháp biến điệu hoàn toàn bằng kỹ thuật số, đảm bảo độ chính xác cao và thực hiện được trên các bộ vi xử lý hiện đại. Khi áp dụng SVM cho nghịch lưu đa mức nhiều mức điện áp sẽ tạo nên vector không gian có nhiều sector, có

hiều lựa chọn cho các vector trạng thái, từ đó có thể áp dụng cho nhiệm vụ cân bằng điện áp một chiều.

Số trạng thái vector của nghịch lưu đa mức được xác định theo công thức :

$$N_{vector} = 1 + 6 \sum_{i=1}^{M-1} i \quad \text{trong đó } M \text{ là số mức} \quad (2.1)$$

Mục đích cuối cùng của quá trình điều chế là xác định trạng thái đóng cắt của van bán dẫn từng cell trong từng pha, thứ tự thực hiện được biểu diễn ở sơ đồ **Hình 2.3**.

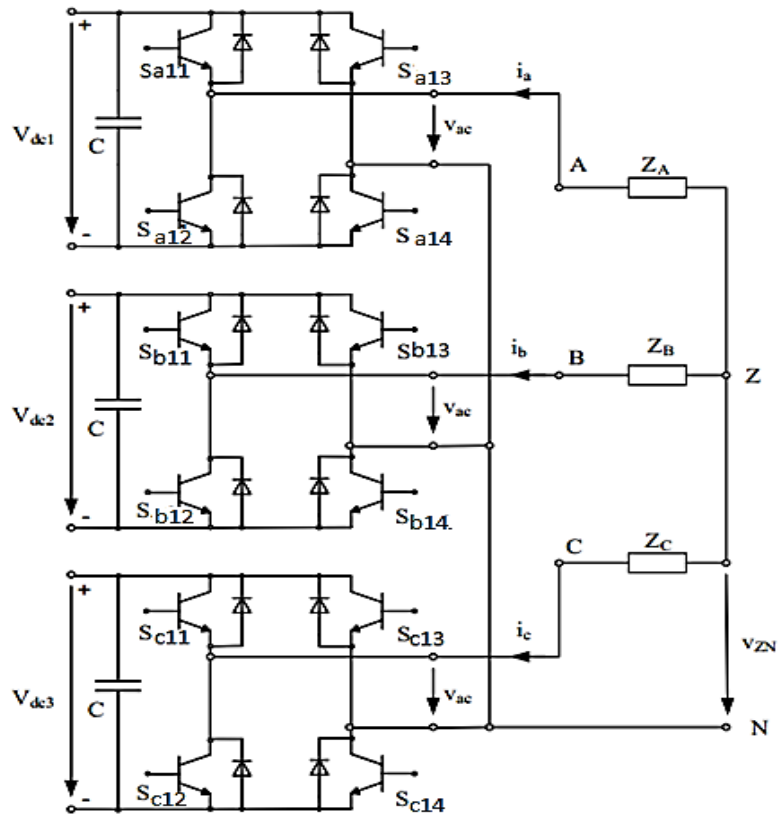


Hình 2.3. Sơ đồ xác định các trạng thái đóng cắt van

### 2.2.1 Xác định trạng thái đóng cắt van, trạng thái mức, trạng thái vector chuẩn ( State switch, State level, State vector)

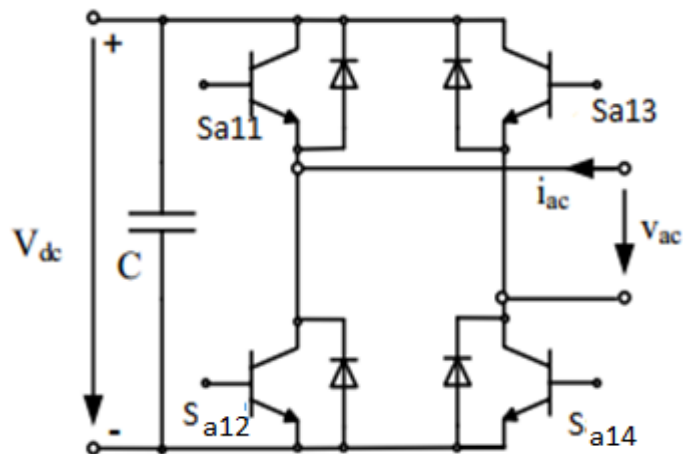
a) Khái niệm trạng thái đóng cắt van, trạng thái mức, trạng thái vector chuẩn

Hình 2.4 là sơ đồ cấu trúc nghịch lưu ba pha 3 mức cầu H nối tầng. Xét các nguồn  $V_{dc}$  trên mỗi cell cầu H phải cách ly nhau và có giá trị bằng nhau. Khi đó mỗi đầu ra xoay chiều khi nối đầu ra A, B, C của phụ tải ba pha cân bằng  $Z_A = Z_B = Z_C$ , còn một đầu nối chung tại điểm N là điểm cách ly, Z là điểm trung tính của tải.



Hình 2.4. Nghịch lưu 3 mức cầu H nối tầng

Mỗi cell như trên hình 2.5 là sơ đồ cầu một pha, hay còn gọi là cầu H, điện áp ra của cầu có thể có 3 giá trị  $-V_{dc}$ ,  $0$ ,  $V_{dc}$ , được biểu diễn trên hình 2.5.



Hình 2.5. Nghịch lưu ba mức cầu H một pha

Kí hiệu các trạng thái đóng cắt của các van trong mỗi cầu H: “0” ứng với van khóa dòng và “1” ứng với van dẫn dòng. Các trạng thái mức điện áp ra của mỗi cell tương ứng trong mỗi pha kí hiệu là  $k_{Ai}, k_{Bi}, k_{Ci}$ . Xét trên cell\_1a, mức điện áp  $k_{A1}$  có giá trị sau:

$$v_{A1} = \begin{cases} 0 & k_{A1} = 0 \\ +V_{dc} & k_{A1} = 1 \\ -V_{dc} & k_{A1} = -1 \end{cases} \quad (2.2)$$

Ta có bảng 2.1 thể hiện điện áp ra trên cell\_1a(  $v_{A1}$  ) và mức điện áp  $k_{A1}$

Trạng thái đóng cắt van				$v_{A1}$	Trạng thái mức cell
Sa11	Sa12	Sa13	Sa14		$k_{A1}$
1	0	0	1	$V_{dc}$	1
1	0	1	0	0	0
0	1	0	1	0	0
0	1	1	0	$-V_{dc}$	-1

Bảng 2.1. Trạng thái van và trạng thái mức điện áp với mỗi cell cầu H

Khi xác định trạng thái mức điện áp mỗi cell cơ sở, thì xác định được trạng thái mức điện áp ra trên mỗi pha A, B, C tương ứng.

Mạch nghịch lưu 3 pha 3 mức nối tầng, mỗi pha có 1 cell duy nhất. Trạng thái mức cell chính là trạng thái mức pha kí hiệu là  $k_{Ai}$ . Mức điện áp ra được thể hiện ở bảng 2.2.

Trạng thái mức điện áp cell $k_{A1}$	$v_{ac}$	Trạng thái mức điện áp pha $k_A$
1	$V_{dc}$	1
0	0	0
-1	$-V_{dc}$	-1

Bảng 2.2 Các mức điện áp ra mỗi pha của nghịch lưu 3 mức cầu H nối tầng

b) Biểu diễn vector các đại lượng điện áp

Điện áp trên mỗi pha tải nghịch lưu sẽ bằng:

$$\begin{cases} v_{AN} = k_A \cdot V_{dc} \\ v_{BN} = k_B \cdot V_{dc} \\ v_{CN} = k_C \cdot V_{dc} \end{cases} \text{ trong đó } k_A, k_B, k_C \in -1, 0, 1 \quad (2.3)$$

Giả thiết tải 3 pha cân bằng, điện áp trên mỗi pha của tải sẽ bằng:

$$\begin{cases} v_A = v_{AZ} = v_{AN} - v_{ZN} \\ v_B = v_{BZ} = v_{BN} - v_{ZN} \\ v_C = v_{CZ} = v_{CN} - v_{ZN} \end{cases} \quad (2.4)$$

$$\text{trong đó } v_A + v_B + v_C = 0, v_{ZN} = \frac{1}{3}(v_{AN} + v_{BN} + v_{CN})$$

Hệ thống điện áp ba pha có thể được biểu diễn bởi vector điện áp:

$$\mathbf{v} = \frac{2}{3}(v_A + \mathbf{a} \cdot v_B + \mathbf{a}^2 \cdot v_C) \quad (2.5)$$

Trong đó  $\mathbf{a}$  là số phức:  $\mathbf{a} = e^{j\frac{2\pi}{3}}$ ;  $\mathbf{a}^2 = e^{j\frac{4\pi}{3}}$

Biểu diễn vector điện áp trên hệ tọa độ  $0\alpha\beta$

$$\mathbf{v} = v_\alpha + j \cdot v_\beta \quad (2.6)$$

Trong đó

$$\begin{cases} v_\alpha = v_A \\ v_\beta = \frac{1}{\sqrt{3}}(v_B - v_C) \end{cases} \quad (2.7)$$

Góc pha của vector  $\mathbf{v}$  được xác định bằng

$$\theta = \arctg \frac{v_\beta}{v_\alpha} \quad (2.8)$$

Dùng phép chiếu vector tuyến tính chuyển biểu diễn vector điện áp ra trên hệ tọa độ vuông góc  $0\alpha\beta$  sang hệ tọa độ  $0gh$  với hai trục  $g$  và  $h$  tạo với nhau 1 góc  $60^\circ$ , trục  $g$  đặt trùng với trục  $\alpha$ , ta thu được biểu diễn các vector trạng thái với các tọa độ nguyên thuận lợi cho tính toán. Vector đơn vị cơ sở của hệ tọa độ  $0gh$  là

$$\begin{bmatrix} \mathbf{g}_e \\ \mathbf{h}_e \end{bmatrix} = \begin{bmatrix} e^{j0} \\ e^{j\frac{\pi}{3}} \end{bmatrix} = \begin{bmatrix} 1 \\ \frac{1}{2} + j\frac{\sqrt{3}}{2} \end{bmatrix} \quad (2.9)$$

Phép biến đổi tuyến tính này không làm thay đổi vector, giữ nguyên gốc tọa độ, vì vậy một vector biểu diễn trên hai tọa độ vẫn bằng nhau

$$\mathbf{v} = v_\alpha + j.v_\beta = v_g.\mathbf{g}_e + v_h.\mathbf{h}_e \quad (2.10)$$

Từ 2.9 và 2.10 ta viết được

$$v_\alpha + j.v_\beta = v_g + v_h\left(\frac{1}{2} + j\frac{\sqrt{3}}{2}\right) \quad (2.11)$$

$$\text{Từ đó ta suy ra } \begin{cases} v_\alpha = v_g + \frac{1}{2}v_h \\ v_\beta = \frac{\sqrt{3}}{2}v_h \end{cases} \text{ hay } \begin{cases} v_g = v_\alpha - \frac{1}{\sqrt{3}}v_\beta \\ v_h = \frac{2}{\sqrt{3}}v_\beta \end{cases} \quad (2.12)$$

Thay 2.7 vào 2.12 suy ra

$$\begin{cases} v_g = \frac{2}{3}(v_A - v_B) \\ v_h = \frac{2}{3}(v_B - v_C) \end{cases} \quad (2.13)$$

Từ 2.3, 2.4 thấy rằng

$$v_A - v_B = v_{AN} - v_{BN} = V_{dc}(k_A - k_B); \quad v_B - v_C = V_{dc}(k_B - k_C)$$

Vậy

$$\begin{cases} v_g = \frac{2}{3}V_{dc}(k_A - k_B) \\ v_h = \frac{2}{3}V_{dc}(k_B - k_C) \end{cases} \quad \text{hay} \quad \begin{cases} v_g = \frac{2}{3}V_{dc}k_g \\ v_h = \frac{2}{3}V_{dc}k_h \end{cases} \quad (2.14)$$

Từ đây ta có thể thấy, nếu lấy  $\frac{2}{3}V_{dc}$  là độ dài cơ sở của các vector trạng thái,  $k_A, k_B, k_C$  là các số nguyên thì tọa độ của các vector là các số nguyên.

$$\begin{bmatrix} k_g \\ k_h \end{bmatrix} = \begin{bmatrix} k_A - k_B \\ k_B - k_C \end{bmatrix} \quad (2.15)$$

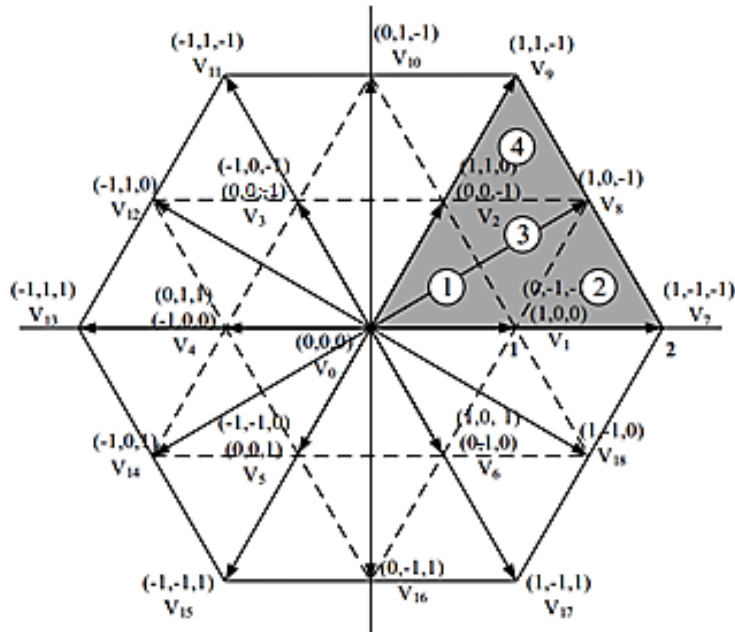
Với nghịch lưu 3 pha 3 mức điện áp thì  $k_A, k_B, k_C \in -1, 0, 1$  theo 2.15 ta tính được tọa độ  $k_g, k_h$  của các vector trên trục  $Ogh$  ứng với vị trí các trạng thái vector chuẩn  $V_i$  và tính được điện áp trung bình  $V_{ZN}$  theo 2.4. Tính toán sử dụng phần mềm Excel, kết quả thu được thể hiện ở bảng 2.3 sau:

$V_i$	$k_a$	$k_b$	$k_c$	$V_{zn}/V_{dc}$	$k_g$	$k_h$
V0	0	0	0	0.00	0	0
V0	1	1	1	1.00	0	0
V0	-1	-1	-1	-1.00	0	0
V1	1	0	0	0.33	1	0
V1	0	-1	-1	-0.67	1	0
V2	1	1	0	0.67	0	1
V2	0	0	-1	-0.33	0	1
V3	-1	0	1	0.00	-1	-1
V3	0	1	0	0.33	-1	1
V4	0	1	1	0.67	-1	0
V4	-1	0	0	-0.33	-1	0
V5	-1	-1	0	-0.67	0	-1
V5	0	0	1	0.33	0	-1
V6	1	0	1	0.67	1	-1
V6	0	-1	0	-0.33	1	-1
V7	1	-1	-1	-0.33	2	0
V8	1	0	-1	0.00	1	1
V9	1	1	-1	0.33	0	2
V10	0	1	-1	0.00	-1	2
V11	-1	1	-1	-0.33	-2	2
V12	-1	1	0	0.00	-2	1
V13	-1	1	1	0.33	-2	0
V14	-1	0	1	0.00	-1	-1
V15	-1	-1	1	-0.33	0	-2
V16	0	-1	1	0.00	1	-2
V17	1	-1	1	0.33	2	-2
V18	1	-1	0	0.00	2	-1

*Bảng 2.3. Bảng tính vector điện áp cho nghịch lưu 3 pha 3 mức cầu H nối tầng*

Từ số liệu ở bảng 2.3, biểu diễn trên hệ tọa độ đỉnh 0gh các vector sẽ tạo nên các tam giác đều có cạnh là 1. Hình 2.6 biểu diễn vector không gian trên trục tọa độ 0gh cho sơ đồ nghịch lưu 3 pha 3 mức nối tầng cầu H. Trên hình chỉ ra vị trí của 19 vector chuẩn là đỉnh của các tam giác con, với cách đánh số các vector tăng dần theo chiều ngược chiều kim đồng hồ, từ trong ra ngoài. Cách đánh số này nhằm mục đích dễ dàng mở rộng số mức của nghịch lưu đa mức. Các vector có độ dài đỉnh bằng  $2,1$ .



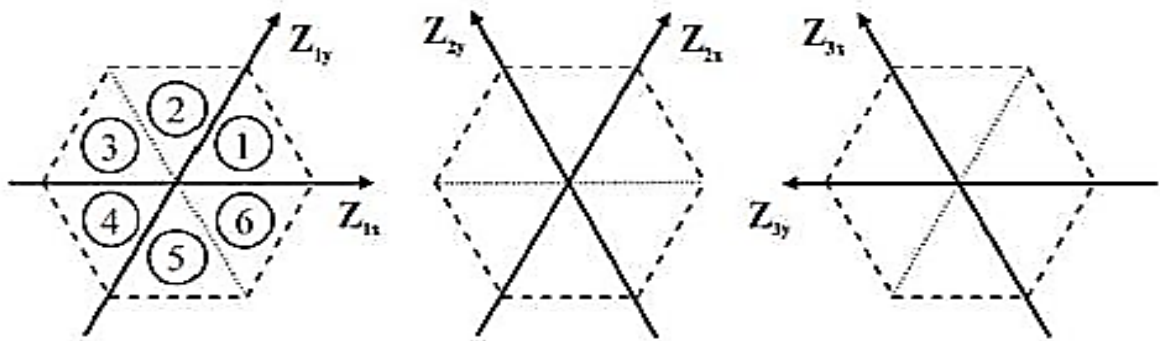


Hình 2.6. Vectơ không gian cho nghịch lưu ba mức

### 2.2.2 Tổng hợp vector điện áp đầu ra từ vector trạng thái chuẩn.

a) Xác định vị trí của vector điện áp ra trong sector lớn.

Thể hiện trên mặt phẳng vector ba hệ tọa độ góc phần sáu  $((Z_{1x}, Z_{1y}), (Z_{2x}, Z_{2y}), (Z_{3x}, Z_{3y}))$  như trên hình 2.7.



Hình 2.7. Hệ tọa độ không vuông góc tạo nên các góc phần sáu (các sector)

Trước hết ta cần xác định hình chiếu của vector điện áp ra mong muốn  $\mathbf{v}_{ref} = [v_{\alpha}, v_{\beta}]^T$  lên hai vector biên của góc phần sáu bằng phép chiếu các tọa độ  $\alpha\beta$  lên hệ tọa độ tương ứng  $(Z_{1x}, Z_{1y}), (Z_{2x}, Z_{2y}), (Z_{3x}, Z_{3y})$ . Điều này có thể thực hiện với các ma trận biến đổi hệ tọa độ  $M_1, M_2, M_3$  như sau:

$$M_1 = \begin{pmatrix} 1 & -\frac{1}{\sqrt{3}} \\ 0 & \frac{2}{\sqrt{3}} \end{pmatrix}; M_2 = \begin{pmatrix} 1 & \frac{1}{\sqrt{3}} \\ -1 & \frac{1}{\sqrt{3}} \end{pmatrix}; M_3 = \begin{pmatrix} 0 & \frac{2}{\sqrt{3}} \\ -1 & \frac{1}{\sqrt{3}} \end{pmatrix} \quad (2.16)$$

Hay:

$$\begin{cases} z_{1x} = v_\alpha - \frac{1}{\sqrt{3}}v_\beta \\ z_{1y} = \frac{2}{\sqrt{3}}v_\beta \end{cases}; \begin{cases} z_{2x} = v_\alpha + \frac{1}{\sqrt{3}}v_\beta \\ z_{2y} = -v_\alpha + \frac{1}{\sqrt{3}}v_\beta \end{cases}; \begin{cases} z_{3x} = \frac{2}{\sqrt{3}}v_\beta \\ z_{3y} = -v_\alpha - \frac{1}{\sqrt{3}}v_\beta \end{cases}$$

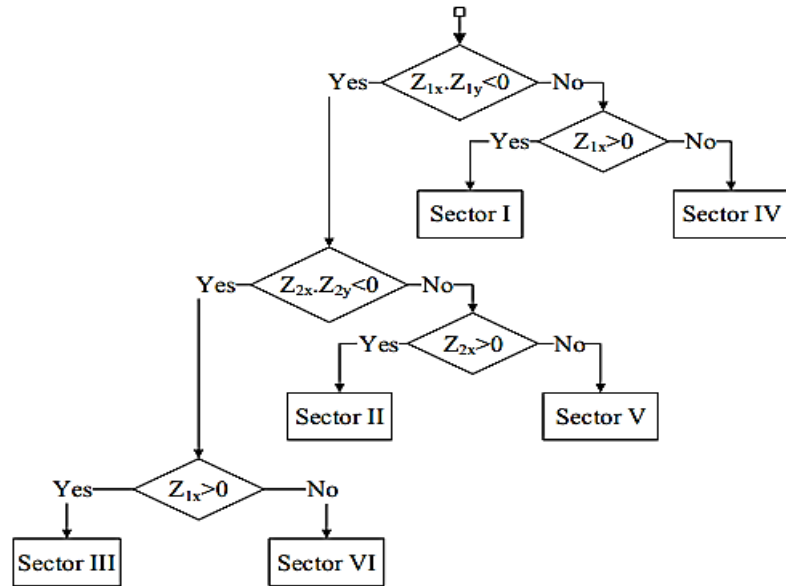
Tuy nhiên để đơn giản việc tính toán, ta thông qua một biến trung gian

$tmp = \frac{v_\beta^*}{\sqrt{3}}$ , các thành phần còn lại có thể được xác định nhanh chóng như sau:

$$\begin{cases} z_{1x} = v_\alpha^* - tmp \\ z_{1y} = 2tmp \end{cases}; \begin{cases} z_{2x} = z_{1x} + z_{1y} \\ z_{2y} = -z_{1x} \end{cases}; \begin{cases} z_{3x} = z_{1y} \\ z_{3y} = -z_{2x} \end{cases}$$

Sau khi xác định các tọa độ  $z_{ij}$ , ta có thuật toán xác định sector như trên hình 2.8.

Ngoài ra các tọa độ này cũng đóng vai trò như các thành phần  $[v_{rg}, v_{rh}]^T$  trong tính toán các hệ số điều chế trong các góc phần sáu tương ứng.

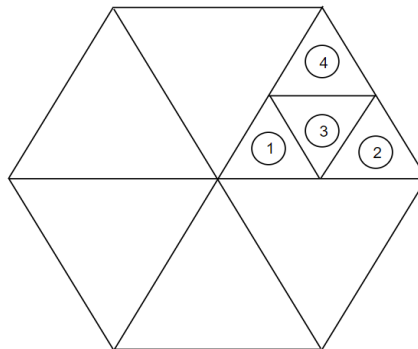


Hình 2.8. Thuật toán xác định sector lớn

b) Xác định vị trí vector trong các tam giác con tạo bởi ba đỉnh là đầu mút các vector chuẩn

Biểu diễn các trạng thái vector chuẩn trên hệ tọa độ đỉnh  $Ogh$ , các vector sẽ tạo nên các tam giác đều có cạnh là 1. Với nghịch lưu 3 pha  $M$  mức, số tam giác có trong một sector lớn là  $\frac{M-2}{M+1}$ , với nghịch lưu 3 pha 3 mức sẽ có 4 tam giác trong mỗi sector lớn.

Số thứ tự tam giác trong mỗi sector sẽ đánh theo thứ tự ngược chiều kim đồng hồ và từ trong ra, minh họa ở hình 2.9.



Hình 2.9. Thứ tự các tam giác có trong một sector lớn của nghịch lưu ba mức

Ta xác định vị trí vector nằm trong tam giác nào để tạo thuận lợi cho việc tính toán hệ số điều chế theo các vector chuẩn.

Sau khi xác định vị trí của vector trong các sector lớn ở mục [2.2.2.a], ứng với mỗi sector ta sẽ thu được tọa độ  $[z_{ix}, z_{iy}]$ .

Xác định hai hệ số  $m_1, m_2$  thể hiện là tỷ lệ hình chiếu của vector điện áp đầu ra mong muốn lên 2 vector cơ bản của góc phần sáu.

$$\begin{cases} m_1 = \frac{z_{ix}}{|V_i|} \\ m_2 = \frac{z_{iy}}{|V_i|} \end{cases} \text{ với } |V_i| = \frac{2V_{dc}}{3} \quad (2.17)$$

Dựa vào  $m_1, m_2$  xác định vị trí vector trong mỗi tam giác trên hình 2.9, ta thu được bảng 2.4

Trường hợp	Tam giác
$\begin{cases} m_1 < 1 \\ m_2 < 1 \\ m_1 + m_2 \leq 1 \end{cases}$	1
$\begin{cases} m_1 > 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	2
$\begin{cases} m_1 < 1 \\ m_2 \leq 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	3
$\begin{cases} m_1 > 0 \\ m_2 > 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	4

Bảng 2.4. Xác định thứ tự tam trong sector lớn 1

Từ bảng trên ta có thể phát triển cho tất cả các sector còn lại.

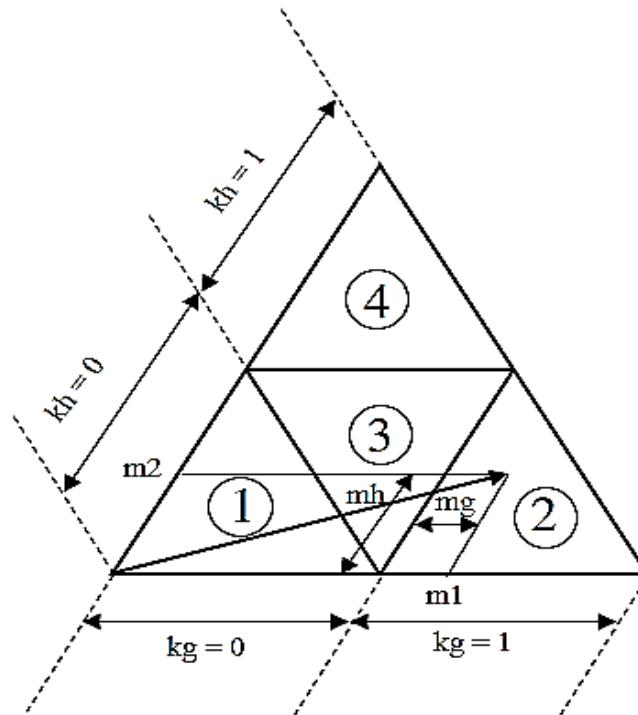
c) Tổng hợp vector điện áp đầu ra từ ba vector trạng thái chuẩn gần nhất.

Khi vector đầu ra mong muốn nằm trong một tam giác bất kì có thể tổng hợp vector điện áp ra từ ba vector đỉnh là đỉnh của tam giác này. Phương pháp này gọi là dùng các vector gần nhất ( Nearest Vector Modulation).

Gọi  $m_g, m_h$  là các phần thập phân ngoài phần nguyên của các tọa độ  $v_{ref}$  chiếu lên trục  $0g, 0h$  tương ứng.

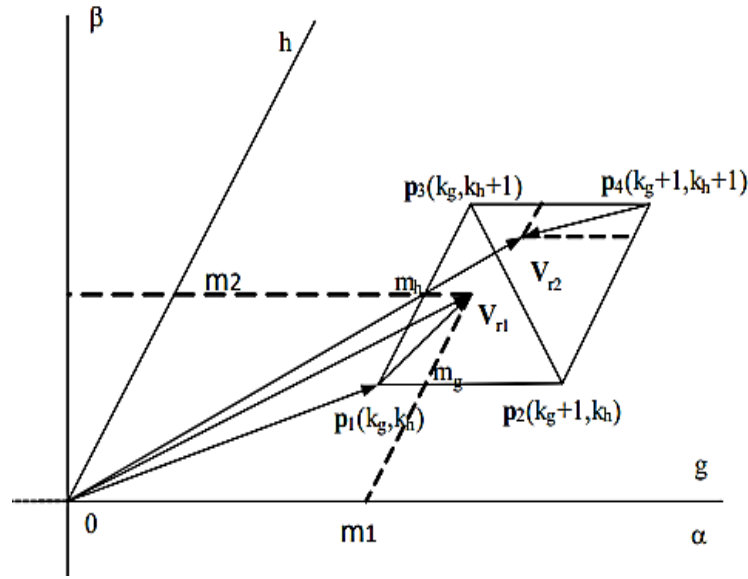
$$\begin{cases} m_g = m_1 - \lfloor m_1 \rfloor = m_1 - k_g \\ m_h = m_2 - \lfloor m_2 \rfloor = m_2 - k_h \end{cases} \quad (2.18)$$

Trong đó  $k_g = \lfloor m_1 \rfloor, k_h = \lfloor m_2 \rfloor$  là chỉ số nguyên nhỏ nhất của các giá trị tuyệt đối tương ứng.



Hình 2.10. Đồ thị minh họa quá trình tính toán các hệ số điều chế

Các tam giác con đều có dạng thuộc về một hình thoi đều, có các cạnh song song với trục Ogh, có đỉnh là các vector trạng thái chuẩn  $\mathbf{p}_1, \mathbf{p}_2, \mathbf{p}_3, \mathbf{p}_4$  như thể hiện trên hình 2.11



Hình 2.11. Tổng hợp vector điện áp ra từ ba vector đỉnh của tam giác

Đường thẳng  $m_g + m_h = 1$  chia hình thoi trên hình 2.11 làm hai tam giác, trong đó:

Vector  $\mathbf{Vr1}$  thuộc miền tam giác D1:  $m_g + m_h \leq 1$

Vector  $\mathbf{Vr2}$  thuộc miền tam giác D2:  $m_g + m_h > 1$

Vector  $\mathbf{Vr1}$  có thể tổng hợp từ 3 vector chuẩn  $\mathbf{p}_1, \mathbf{p}_2, \mathbf{p}_3$  như sau:

$$\begin{aligned} \mathbf{V}_{r1} &= \mathbf{p}_1 + m_g(\mathbf{p}_2 - \mathbf{p}_1) + m_h(\mathbf{p}_3 - \mathbf{p}_1) \\ &= (1 - m_g - m_h)\mathbf{p}_1 + m_g\mathbf{p}_2 + m_h\mathbf{p}_3 \end{aligned} \quad (2.19)$$

Tương tự, vector  $\mathbf{Vr2}$  có thể tổng hợp từ 3 vector chuẩn  $\mathbf{p}_2, \mathbf{p}_3, \mathbf{p}_4$  như (2.20)

$$\begin{aligned} \mathbf{V}_{r2} &= \mathbf{p}_4 + (1 - m_g)(\mathbf{p}_3 - \mathbf{p}_4) + (1 - m_h)(\mathbf{p}_2 - \mathbf{p}_4) \\ &= (m_g + m_h - 1)\mathbf{p}_4 + (1 - m_g)\mathbf{p}_3 + (1 - m_h)\mathbf{p}_2 \\ &= d_0\mathbf{p}_2 + d_1\mathbf{p}_3 + d_2\mathbf{p}_4 \end{aligned} \quad (2.20)$$

### 2.2.3. Tính toán hệ số điều chế

Ta có bảng chọn vector (cho sector 1) và hệ số biến điệu tương ứng:

Trường hợp	Tam giác	Hệ số biến điệu( $d_1, d_2, d_0$ )	Lựa chọn vector trạng thái điện áp ra
$\begin{cases} m_1 < 1 \\ m_2 < 1 \\ m_1 + m_2 \leq 1 \end{cases}$	1	$m_1$	$V_1(1,0,0) - (0,-1,-1)$
		$m_2$	$V_2(1,1,0) - (0,0,-1)$
		$1-(m_1 + m_2)$	$V_0(0,0,0) - (-1,-1,-1)$
$\begin{cases} m_1 > 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	2	$m_1 - 1$	$V_7(1,-1,-1)$
		$m_2$	$V_8(1,0,-1)$
		$2-(m_1 + m_2)$	$V_1(1,0,0) - (0,-1,-1)$
$\begin{cases} m_1 < 1 \\ m_2 \leq 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	3	$1-m_2$	$V_1(1,0,0) - (0,-1,-1)$
		$(m_1 + m_2) - 1$	$V_8(1,0,-1)$
		$1-m_1$	$V_2(1,1,0) - (0,0,-1)$
$\begin{cases} m_1 > 0 \\ m_2 > 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	4	$1-m_2$	$V_8(1,0,-1)$
		$(m_1 + m_2) - 1$	$V_9(1,1,-1)$
		$1-m_1$	$V_2(1,1,0) - (0,0,-1)$

Bảng 2.5. Bảng chọn vectơ và hệ số biến điệu tương ứng trong Sector 1

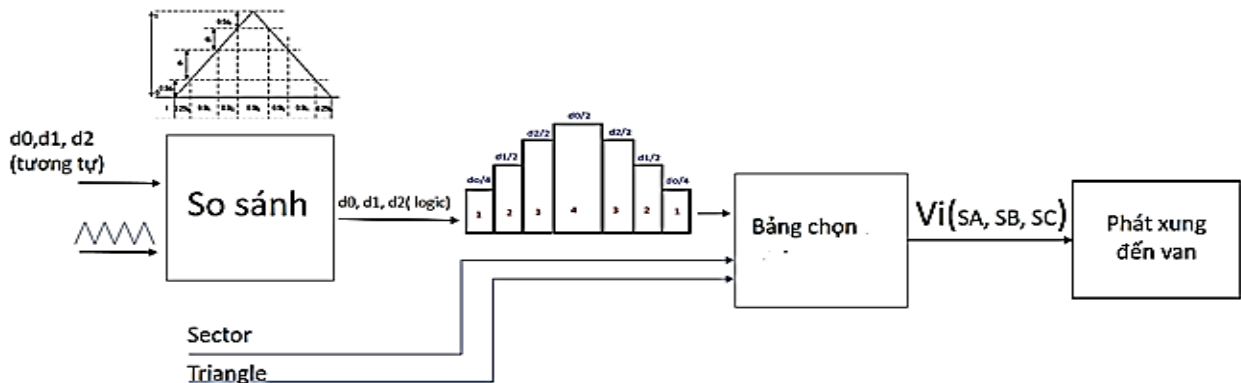
Từ đó ta xây dựng bảng chọn vector và hệ số biến điệu tương ứng trong các sector còn lại như bảng 2.6.

Xác định tam giác nhỏ	Hệ số biến điệu	Góc phần sáu lớn (Sector)					
		I	II	III	IV	V	VI
$\begin{cases} m_1 < 1 \\ m_2 < 1 \\ m_1 + m_2 \leq 1 \end{cases}$	$m_1$	V1	V2	V3	V4	V5	V6
	$m_2$	V2	V3	V4	V5	V6	V1
	$1 - (m_1 + m_2)$	V0	V0	V0	V0	V0	V0
$\begin{cases} m_1 > 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	$m_1 - 1$	V7	V9	V11	V13	V15	V17
	$m_2$	V8	V10	V12	V14	V16	V18
	$2 - (m_1 + m_2)$	V1	V2	V3	V4	V5	V6
$\begin{cases} m_1 < 1 \\ m_2 \leq 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	$1 - m_2$	V1	V2	V3	V4	V5	V6
	$(m_1 + m_2) - 1$	V8	V10	V12	V14	V16	V18
	$1 - m_1$	V2	V3	V4	V5	V6	V1
$\begin{cases} m_1 > 0 \\ m_2 > 1 \\ 1 < m_1 + m_2 \leq 2 \end{cases}$	$1 - m_2$	V1	V2	V3	V4	V5	V6
	$(m_1 + m_2) - 1$	V8	V10	V12	V14	V16	V18
	$1 - m_1$	V2	V3	V4	V5	V6	V1

Bảng 2.6. Bảng chọn vecto và hệ số biến điệu tương ứng trong các Sector lớn

### 2.2.4 Nguyên lý phát xung đến các van

Sau khi tính được các hệ số biến điệu  $d_0, d_1, d_2$ , ta tiến hành so sánh các hệ số biến điệu với sóng tam giác được các xung mang thông tin  $d_0, d_1, d_2$ . Các xung được xử lý để chọn vecto cần thực hiện trong bảng tối ưu đóng cắt hoặc tối ưu Common mode voltage. Khi đã có vector cần thực hiện  $V_i$  ta có thể đưa ra tín hiệu xung đến các van trong mạch bằng dùng các hàm logic với đầu vào là các mức của pha được mã hóa bit nhị phân.



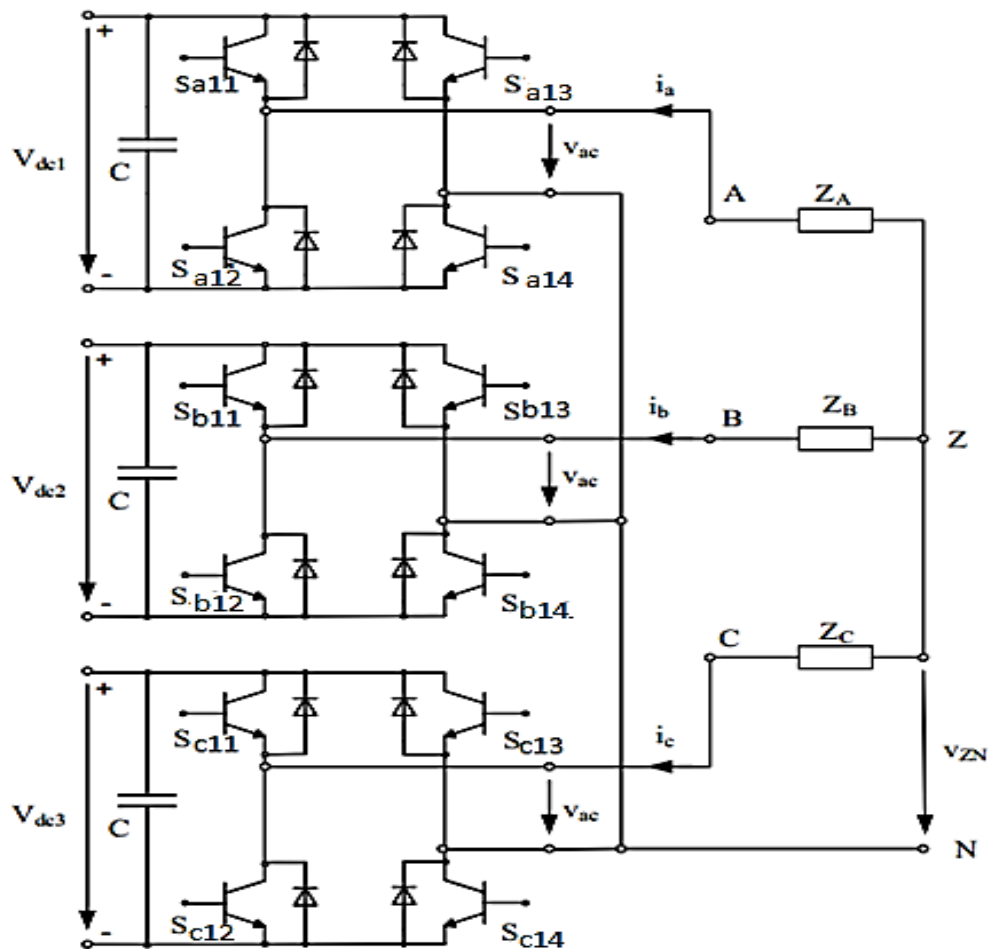
Hình 2.12. Nguyên lý phát xung đến các van



a. Tối ưu Common mode voltage

Ngoài điểm trung tính tải (Z) như ở nghịch lưu nguồn áp 3 pha thông thường, nghịch lưu đa mức còn có thêm điểm trung tính N giữa các pha.

$V_{zn}$  gọi là Common mode voltage,  $V_{zn}$  có dạng là những bước nhảy điện áp,  $V_{zn}$  lớn sẽ gây ra hiện tượng phóng điện, tồn tại dòng dò từ điểm Z đến N gây nhiễu điện từ cho các thiết bị khác. Vì vậy ta cần tối ưu giá trị  $V_{zn}$



Hình 2.13. Cấu trúc nghịch lưu ba pha ba mức cầu H

Để giảm ảnh hưởng của độ đập mạch trung tính tải  $V_{ZN}$ , đối với những vector có nhiều trạng thái khóa trong điều chế vector không gian luôn chọn vector có common mode voltage nhỏ nhất về giá trị tuyệt đối. Ví dụ vecto V1 luôn chọn trạng thái khóa (1,0,0) vì có thể

$V_{zn} = \frac{1}{3} \cdot U_{dc}$ , vector V2 chọn trạng thái (00-1) vì  $V_{zn} = -\frac{1}{3} U_{dc}$ . Những trạng thái được chọn tô màu xám ở bảng sau chỉ ứng với một trạng thái nên bắt buộc lựa chọn.

$V_i$	$k_a$	$k_b$	$k_c$	$\frac{V_{zn}}{V_{dc}}$
V0	0	0	0	0.00
V0	1	1	1	1.00
V0	-1	-1	-1	-1.00
V1	1	0	0	0.33
V1	0	-1	-1	-0.67
V2	1	1	0	0.67
V2	0	0	-1	-0.33
V3	-1	0	1	0.00
V3	0	1	0	0.33
V4	0	1	1	0.67
V4	-1	0	0	-0.33
V5	-1	-1	0	-0.67
V5	0	0	1	0.33
V6	1	0	1	0.67
V6	0	-1	0	-0.33
V7	1	-1	-1	-0.33
V8	1	0	-1	0.00
V9	1	1	-1	0.33
V10	0	1	-1	0.00
V11	-1	1	-1	-0.33
V12	-1	1	0	0.00
V13	-1	1	1	0.33
V14	-1	0	1	0.00
V15	-1	-1	1	-0.33
V16	0	-1	1	0.00
V17	1	-1	1	0.33
V18	1	-1	0	0.00

Hình 2.14. Bảng chọn tổ hợp trạng thái vector chuẩn

*b. Tối ưu đóng cắt*

Tổn thất do đóng cắt luôn được đề cập tới khi thiết kế các bộ biến đổi điện tử công suất và Nghịch lưu đa mức cũng được thiết kế sao cho tổn thất đóng cắt là nhỏ nhất.

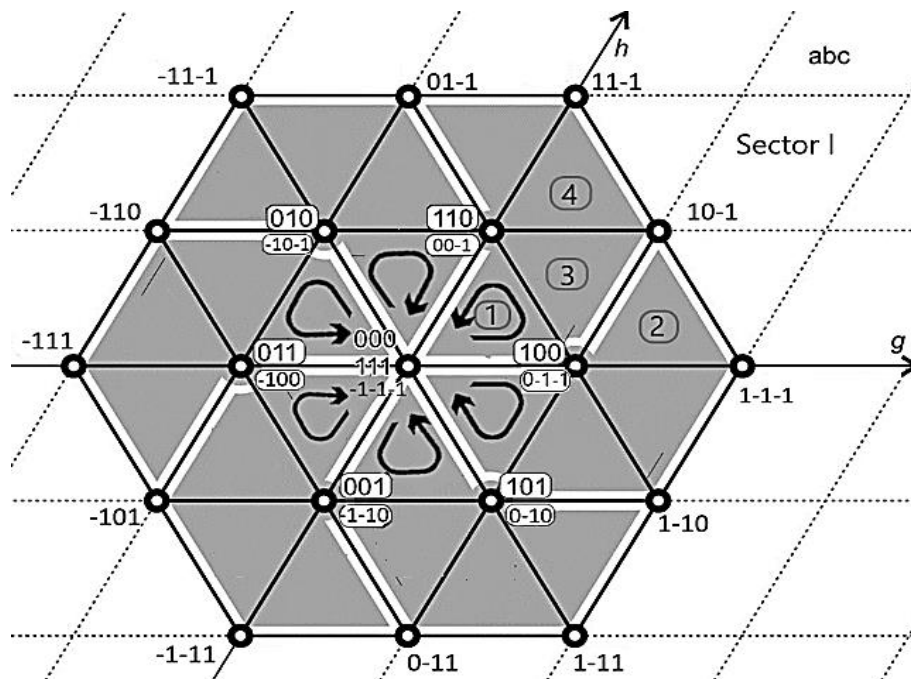
Để tối ưu thì trong chu kỳ  $T_{PWM}$  thì số lần chuyển mức pha phải là ít nhất hay nói cách khác tại một thời điểm chỉ có một mức của pha được chuyển.

Khi ta đã xác định Sector và tam giác mà mút của vector  $V_{ref}$  nằm trong đó thì ta sẽ thực hiện theo phương pháp sử dụng 3 vector gần nhất (The Nearest Vector) và ta sắp xếp trình tự thực hiện các vecto đảm bảo số lần chuyển mức của pha là ít nhất.

Có 2 trường hợp:

- $0 < V_{ref} < \frac{U_{dc}}{\sqrt{3}}$
- $\frac{U_{dc}}{\sqrt{3}} < V_{ref} < \frac{2}{3}U_{dc}$

i. Trường hợp:  $0 < V_{ref} < \frac{U_{dc}}{\sqrt{3}}$



Hình 2.15. Thứ tự đóng cắt cho chế độ nghịch lưu 2 mức

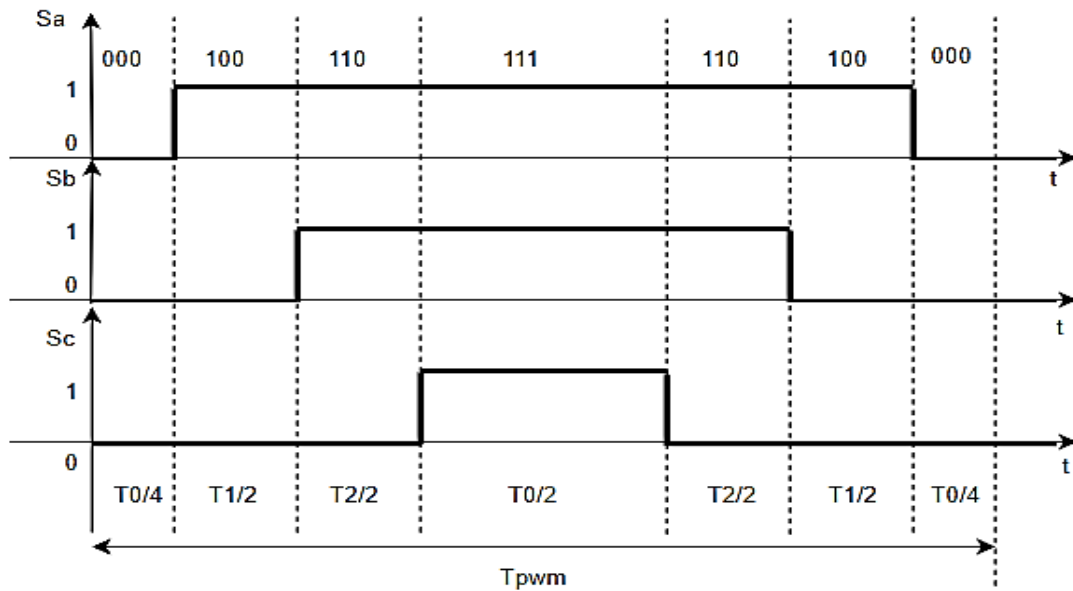
Nghịch lưu 3 mức sẽ hoạt động như nghịch lưu 2 mức thông thường. Vector 0 tại tâm lục giác được sử dụng là :  $V_0$  (000/ 111)

Giả sử  $V_{ref}$  nằm ở Sector 1, tam giác 1 như hình 2.15

Thứ tự chuyển mạch là :

$$V_0(000) \rightarrow V_1(100) \rightarrow V_2(110) \rightarrow V_0(111) \rightarrow V_2(110) \rightarrow V_1(100) \rightarrow V_0(000).$$

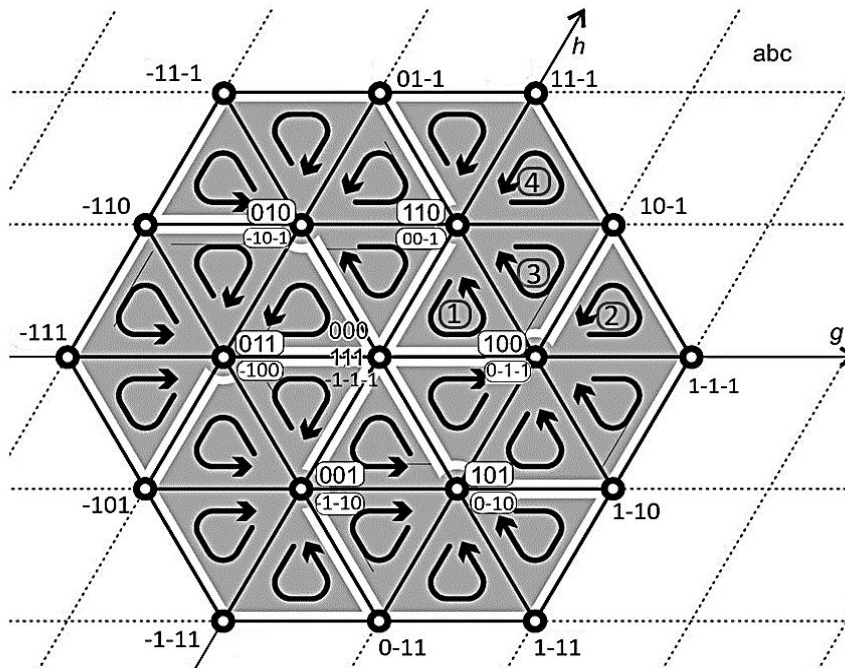
Ta thấy rằng tâm của lục giác: vector  $V_0$  là vector thực hiện đầu tiên trong  $T_{pwm}$  và cũng là vector kết thúc chu kỳ điều chế.



Hình.2.16. Thứ tự thực hiện vector cho Tam giác 1 của Sector 1

Tương tự ta thực hiện với các trường hợp  $V_{ref}$  nằm trong các sector như trong hình 2.15

ii. Trường hợp :  $\frac{U_{dc}}{\sqrt{3}} < V_{ref} < \frac{4}{3}U_{dc}$



Hình 2.17. Thứ tự đóng cắt cho chế độ ba mức

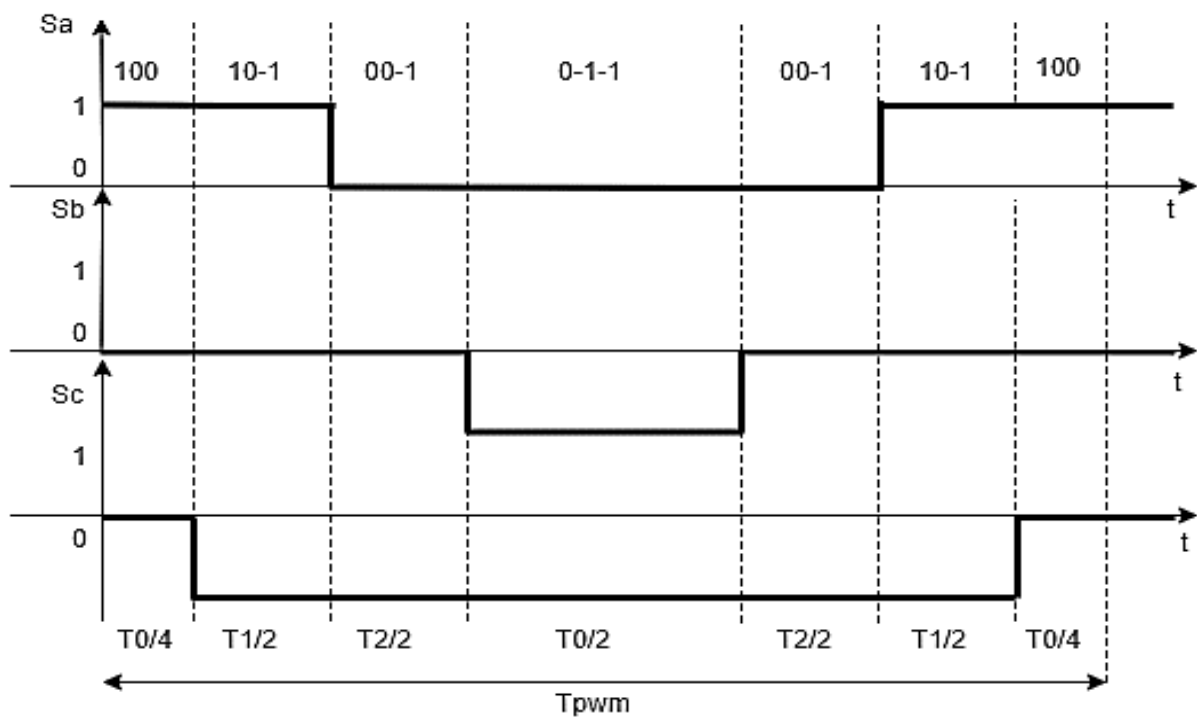
Vector  $V_{ref}$  sẽ nằm ở vùng lục giác mở rộng và Nghịch lưu hoạt động ở chế độ 3 mức. Khi hoạt động ở vùng này do sử dụng 3 vector gần nhất để điều chế vector  $V_{ref}$  nên ta sẽ không sử dụng được V0. Vì vậy ta sẽ sử dụng vector khác thực hiện chức năng như V0 ở nghịch lưu 2 mức.

Từ đây ta định nghĩa khái niệm tâm các lục giác phụ (Subhexagon) đó chính là các nút của vector : V1, V2, V3, V4, V5, V6. Trong các lục giác phụ (Subhexagon) bao gồm các Sector phụ được đánh số từ 1 đến 6. Các vector có nút là tâm các lục giác phụ có chức năng như vector V0 khi điều chế  $V_{ref}$  nằm trong vùng sector phụ của lục giác phụ.

Giả sử  $V_{ref}$  nằm tại Tam giác thứ 3 của Sector 1. Sử dụng 3 vector để điều chế:  
V1 (100/0-1-1), V8 (10-1), V2 (110/00-1)

Thứ tự thực hiện vector trong 1 chu kỳ  $T_{pwm}$ :

V1 (100) → V8 (10-1) → V2 (00-1) → V1 (0-1-1) → V2 (00-1) → V8 (10-1) → V1 (100)



Hình 2.18. Thứ tự thực hiện vector trong Tam giác 3 của Sector 1

Như vậy trình tự thực hiện các vector đã được đánh mũi tên như trong hình 2.17.

❖ *So sánh 2 chế độ làm việc của bộ nghịch lưu:*

Số lần đóng cắt của BBD làm việc ở chế độ nghịch lưu 3 mức sẽ nhiều hơn khi làm việc ở chế độ nghịch lưu 2 mức. Trên *Hình 2.18* đã phân ra những vùng dùng chung tâm lục giác phụ để điều chế:

- V1 sẽ là tâm lục giác điều chế cho 4 tam giác là : Tam giác 1 , 3, 4 của Sector 1;  
Tam giác 2 của Sector 1.

- V2 sẽ là tâm lục giác điều chế cho 4 tam giác là : Tam giác 1 , 3, 4 của Sector 2;  
Tam giác 2 của Sector 3.

- ...

Khi  $V_{ref}$  quay hết một vòng trên mặt phẳng  $\alpha\beta$ , thì có 6 lần chuyển tâm lục giác con. Tại mỗi lần chuyển tâm thì trạng thái mức các pha bị chuyển ở đầu và cuối  $T_{pwm}$  dẫn đến số lần chuyển mạch nhiều hơn.

Tuy nghịch lưu hoạt động ở chế độ 3 mức sẽ thêm 6 lần thay đổi mức các pha trong một chu kỳ điện áp mong muốn ( $T_{sin}$ ) nhưng ta giảm được các thành phần sóng hài đáng kể so với nghịch lưu 2 mức.

### **2.3 So sánh giữa SinPWM và SVM**

- SinPWM là phương pháp đơn giản dễ thực hiện, cũng có thể mang lại hiệu quả cao về đảm bảo thành phần sóng hài. Tuy nhiên do các dạng sóng mang là cố định nên muốn thay đổi các chế độ của sơ đồ điều chế để đạt được những mục tiêu khác như tăng khả năng sử dụng điện áp nguồn DC (đạt hệ số biên độ sóng cơ bản mong muốn trên điện áp DC lớn hơn), giảm số lần đóng cắt của khóa bán dẫn bằng các sơ đồ điều chế theo tối ưu đóng cắt thì chỉ có thể tác động lên sóng chủ đạo.

- Phương pháp điều chế vector không gian SVM có những ưu điểm ở khả năng linh hoạt hơn nhiều so với PWM dựa trên sóng mang. SVM có khả năng tạo ra quỹ đạo vector mong muốn có dạng bất kỳ nhờ lựa chọn các vector trạng thái và các thời gian phù hợp trong một chu kỳ điều chế. Điều này rất cần thiết để đảm bảo đặc tính động học của hệ thống vì thông thường bộ biến đổi nằm trong hệ thống các mạch vòng điều chỉnh, lượng đặt cho khâu điều chế có thể có dạng khác xa so với hình sin, khi đó tính toán các lượng

offset cho PWM nhiều sóng mang trở khá phức tạp. SVM cũng có thể cho phép thực hiện các phép điều chế gián đoạn một cách dễ dàng để giảm thiểu số lần khóa bán dẫn chuyển mạch. THD điện áp đầu ra cũng tốt hơn khi sử dụng phương pháp SVM so với PWM. Yêu cầu tính toán cao được coi là nhược điểm chính của SVM.

## **2.4 Kết luận**

Trong chương 2, em đã trình bày về các phương pháp điều chế độ rộng xung SinPWM và SVM với các nội dung: Cơ sở lý thuyết; Các bước thực hiện; Nguyên lý phát xung .

Qua đó em thấy rằng, phương pháp SinPWM đơn giản, dễ thực hiện nhưng độ chính xác không cao, độ đập mạch còn lớn. Khi yêu cầu độ chính xác cao hơn, hiệu quả hơn thì ta sử dụng phương pháp điều chế SVM.

Chương này là cơ sở lý thuyết quan trọng để ta ứng dụng FPGA cho việc điều chế độ rộng xung, là cơ sở để kiểm chứng các kết quả mô phỏng ở phần sau.

## CHƯƠNG 3

# ỨNG DỤNG FPGA TRONG ĐIỀU CHẾ

### 3.1. Tổng quan về công nghệ FPGA

FPGA (Field Programmable Gate Array) là công nghệ vi mạch tích hợp khả trình sử dụng cấu trúc mảng phần tử logic mà người dùng có thể lập trình được. Thuật ngữ Field Programmable chỉ quá trình tái cấu trúc IC có thể được thực hiện bởi người dùng cuối, trong điều kiện thông thường, hay nói một cách khác là người kỹ sư lập trình IC có thể dễ dàng hiện thực hóa thiết kế của mình sử dụng FPGA mà không lệ thuộc vào một quy trình sản xuất hay cấu trúc phần cứng phức tạp nào trong nhà máy bán dẫn. Đây chính là một trong những đặc điểm làm FPGA trở thành một công nghệ mang lại sự thay đổi lớn lao trong kỹ thuật điện tử số hiện đại.

#### 3.1.1. Lịch sử ra đời

ASIC (Application \_Specific Integrated Circuit) là một vi mạch tích hợp được thiết kế dành cho một ứng dụng cụ thể. ASIC lập trình được đã xuất hiện từ lâu dưới dạng PLD (Programmable Logic Device), và sau này phát triển hơn trở thành CPLD (Complex Programmable Logic Device). Tuy nhiên, vai trò của các dạng ASIC này là không nhiều vì số lượng cổng logic trên chip rất ít dẫn tới chức năng của các CPLD này cũng khá hạn chế.

Kể từ năm 1980, các công ty sản xuất CPLD hàng đầu đã đẩy mạnh quá trình nghiên cứu về FPGA và nhanh chóng ra đời các thế hệ đầu tiên. FPGA được thiết kế đầu tiên bởi Ross Freeman, người sáng lập công ty Xilinx vào năm 1984. Kiến trúc mới của FPGA cho phép tích hợp số lượng tương đối lớn các phần tử bán dẫn vào 1 vi mạch so với kiến trúc trước đó là CPLD. FPGA có khả năng chứa tới 100.000 đến hàng vài tỷ cổng logic, trong khi CPLD chỉ là 10.000 đến 100.000 cổng logic. Điều này giúp FPGA phát huy tối đa khả năng lập trình của các phần tử logic và hệ thống mạng kết nối.



### 3.1.2. Ưu điểm FPGA

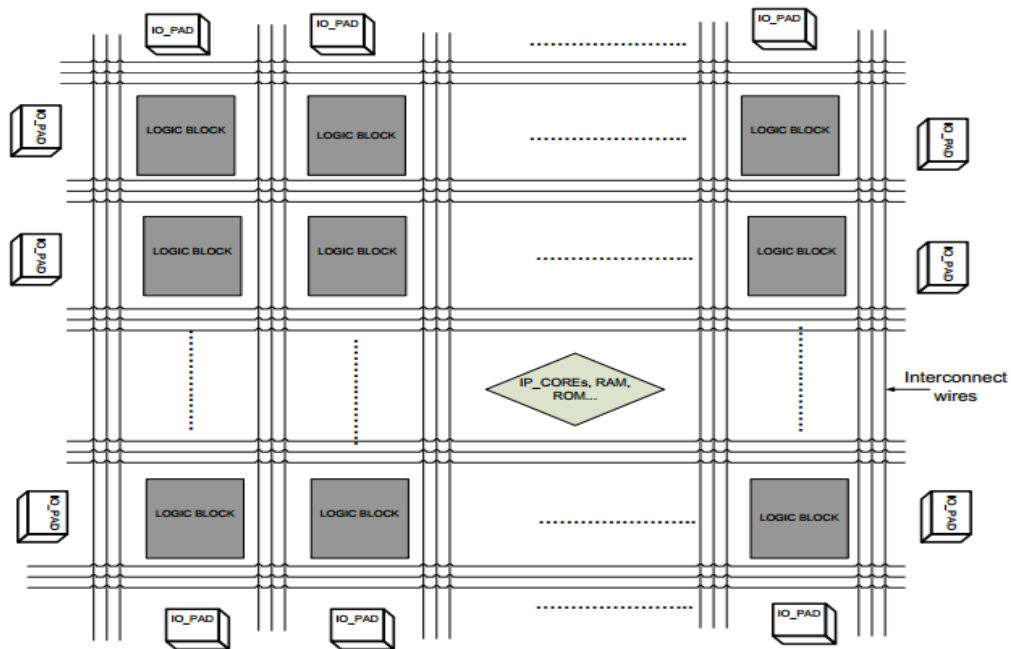
FPGA cũng được xem như một loại vi mạch bán dẫn chuyên dụng ASIC, nhưng nếu so sánh FPGA với những ASIC đặc chế hoàn toàn thì FPGA ưu việt hơn ở chỗ có thể tái cấu trúc khi đang sử dụng, khả năng lập trình linh động hơn, và khác biệt quan trọng nhất là kiến trúc FPGA cho phép nó có khả năng chứa khối lượng lớn cổng logic, so với các vi mạch bán dẫn lập trình được trước đó.

Một điểm khác biệt nữa so với CPLD là trong những FPGA hiện nay được tích hợp nhiều bộ logic số học đã tối ưu hóa, hỗ trợ RAM, ROM tốc độ cao, hay các DSP silce dùng cho những ứng dụng xử lý tín hiệu số.

### 3.1.3. Cấu trúc tổng quan FPGA

Cấu trúc tổng quan FPGA cơ bản gồm những khối chính sau:

- Khối logic (CLB- Configurable Logic Block)
- Khối kết nối (Interconnect wires)
- Khối IO (IO\_PAD)

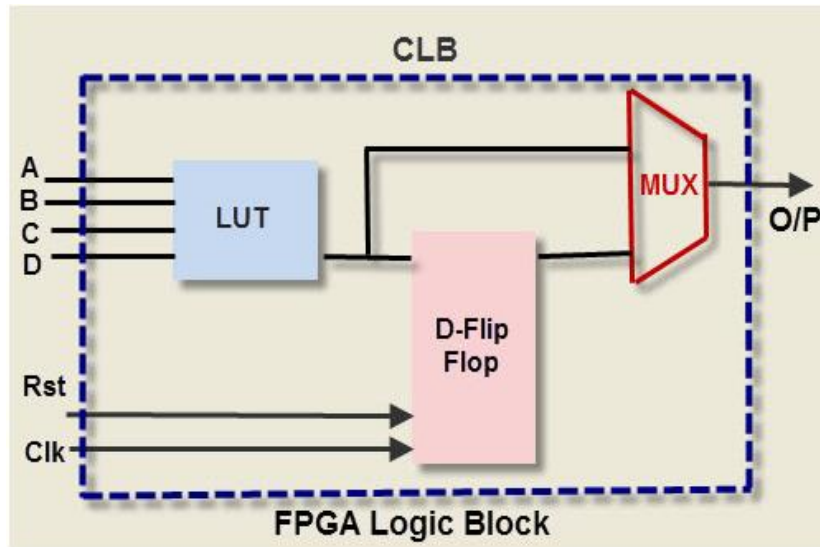


Hình 3.1. Cấu trúc tổng quan FPGA

### a. Khối logic

Khối CLB thực thi các chức năng logic, cung cấp tính toán và phần tử nhớ cơ bản được sử dụng trong hệ thống số. CLBs là phần tử cơ bản cấu thành FPGA, là nguồn tài nguyên logic chính tạo nên các mạch logic đồng bộ lẫn không đồng bộ.

Một CLB cơ bản gồm một mạch tổ hợp có thể lập trình (còn gọi là LUT), một flip-flop hoặc một chốt (latch).



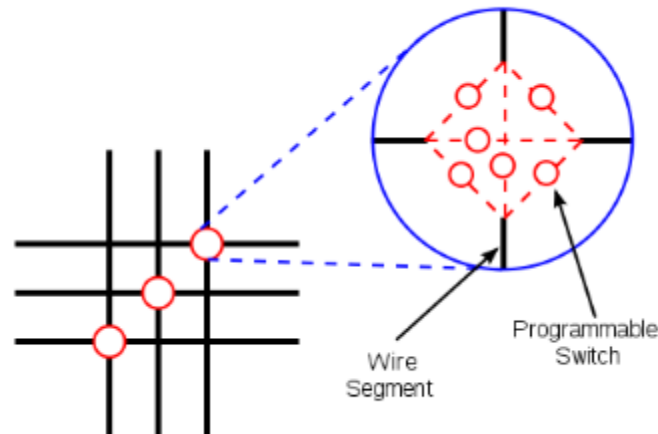
Hình 3.2. Khối CLB

LUT(Look-up table) là khối logic có thể thực hiện bất kỳ hàm logic nào từ 4 đầu vào (số đầu vào này sẽ tùy thuộc vào từng dòng chip của mỗi hãng), kết quả của hàm này tùy vào mục đích mà gửi ra ngoài khối logic trực tiếp hay thông qua phần tử nhớ flip-flop. Ngoài khối logic cơ bản đó, nhiều chip FPGA hiện nay gồm một hỗn hợp các khối khác nhau, một số trong đó chỉ được dùng cho các chức năng cụ thể, chẳng hạn như các khối bộ nhớ chuyên dụng, các bộ nhân (multipliers) hoặc các bộ ghép kênh (multiplexers).

### b. Khối kết nối

Khối kết nối dùng để liên kết các khối logic và I/O lại với nhau để tạo thành một thiết kế hoàn chỉnh. Mạng liên kết trong FPGA được cấu thành từ các đường kết nối theo hai phương ngang và đứng, tùy theo từng loại FPGA mà các đường kết nối được chia thành các nhóm khác nhau. Các đường kết nối được nối với nhau thông qua các khối chuyển mạch

lập trình được (programmable switch), trong một khối chuyển mạch chứa một số lượng nút chuyển lập trình được đảm bảo cho các dạng liên kết phức tạp khác nhau.



Hình 3.3. Khối kết nối

### c. Khối I/O

Khối I/O điều khiển giao tiếp giữa các khối logic đến các thành phần bên ngoài. Số lượng Pin (I/O) của FPGA tương đối lớn, thường được chia ra làm 2 loại: User Pin(chân người dùng), Dedicated Pin (chân chuyên dụng):

- User Pin: người dùng có thể lập trình như đầu vào, đầu ra hoặc cả đầu vào – ra. Mỗi pin được kết nối với một “IO Cell” bên trong FPGA, được cấp bởi các chân VCCIO (IO power pin).

- Dedicated Pin: được mã hóa cứng với một chức năng cụ thể:

+ Power Pin

+ Configuration Pin: các pin để cấu hình FPGA

+ Dedicated input hay Clock Pin: điều khiển mạng lưới clock trong FPGA

+ Voltage IO: cấp nguồn cho các cổng logic là flip-flop bên trong FPGA

Hiện nay, các kiến trúc FPGA cơ bản đã được phát triển hơn nữa thông qua việc bổ sung các khối chức năng đặc biệt có thể lập trình, như bộ nhớ trong (Block RAMs), logic số học (ALU), bộ nhân, DSP-48 và thậm chí là bộ vi xử lý nhúng được thêm vào do nhu

cầu của các nguồn tài nguyên cho một ứng dụng. Kết quả là nhiều FPGA ngày nay có nhiều nguồn tài nguyên hơn so với các FPGA trước đó.

#### **3.1.4. Ứng dụng**

Do khả năng tái cấu trúc đơn giản và sở hữu một khối tài nguyên logic lớn, FPGA có thể được ứng dụng cho nhiều các bài toán xử lý tín hiệu số cỡ lớn mà các công nghệ trước đó không làm được hoặc làm được nhưng với tốc độ và hiệu suất thấp.

Các lớp ứng dụng đó là:

- Các ứng dụng chung về xử lý số như lọc tín hiệu, tìm kiếm, phân tích, giải mã, điều chế tín hiệu, trộn tín hiệu,...

- Các ứng dụng về mã hóa, giải mã giọng nói, nhận dạng giọng nói, tổng hợp giọng nói. Xử lý tín hiệu âm thanh bao gồm lọc nhiễu, trộn, mã hóa, giải mã, nén, tổng hợp âm thanh,...

- Ứng dụng trong xử lý ảnh số, nén và giải nén, các thao tác biến đổi, soạn thảo, nhận dạng ảnh số,...

- Ứng dụng trong hệ thống thông tin như các hệ thống Voice IP, Voice mail. modem, điện thoại di động, mã hóa và giải mã truyền thông trong mạng LAN, WIFI,...

- Ứng dụng trong điều khiển các thiết bị điện tử: ổ cứng, máy in, máy công nghiệp, dẫn đường, định vị, robots.

Các sản phẩm ứng dụng FPGA hiện tại vẫn nằm ở con số khiêm tốn nếu so sánh với các giải pháp truyền thống. Tuy vậy, với các thế mạnh kể trên, FPGA chắc chắn sẽ là một công nghệ quan trọng của tương lai.

#### **3.2. Công cụ lập trình FPGA**

Ngôn ngữ lập trình cho FPGA là ngôn ngữ mô tả phần cứng HDL (Hardware Description Language), giúp mô tả ngắn gọn, dễ hiểu, đơn giản các hoạt động của phần cứng. Hầu hết các dòng FPGA đều hỗ trợ hai ngôn ngữ HDL chính là : Verilog HDL, VHDL (Very High Speed Intergrated Circuit Hardware Description Language).

Một phương pháp nữa thường dùng trong các bài toán xử lý tín hiệu là sử dụng khối Toolbox System Generator, một công cụ trên Matlab do Xilinx thiết kế.

### 3.2.1. Ngôn ngữ VHDL

#### a. Giới thiệu sơ lược

VHDL viết tắt của VHSIC HDL (Very high speed intergrated circuit Harware Description Language) là ngôn ngữ mô tả phần cứng cho các mạch tích hợp tốc độ cao, được phát triển bởi bộ quốc phòng Mỹ. Mục tiêu của việc phát triển VHDL là có được một ngôn ngữ mô phỏng phần cứng tiêu chuẩn và thống nhất, cho phép thử nghiệm các hệ thống số nhanh hơn cũng như cho phép dễ dàng đưa các hệ thống đó vào ứng dụng trong thực tế.

VHDL được phát triển như một ngôn ngữ độc lập không gắn với bất kỳ một phương pháp thiết kế, một công nghệ phần cứng nào. Người thiết kế có thể tự do lựa chọn công nghệ, phương pháp thiết kế trong khi chỉ sử dụng một ngôn ngữ duy nhất. Do đó VHDL có một số ưu điểm hơn hẳn các ngôn ngữ khác:

- Tính công cộng: VHDL là ngôn ngữ được chuẩn hóa chính thức của IEEE, do đó được sự hỗ trợ của nhiều nhà sản xuất thiết bị cũng như nhiều nhà cung cấp công cụ thiết kế mô phỏng hệ thống.

- Được hỗ trợ bởi nhiều công nghệ: VHDL có thể sử dụng mô tả nhiều vi mạch khác nhau trên những công nghệ khác nhau từ các thư viện rời rạc, CPLD, FPGA tới thư viện công chuẩn cho thiết kế ASIC.

- Tính độc lập với công nghệ : VHDL hoàn toàn độc lập với công nghệ chế tạo phần cứng. Một mô tả hệ thống chức năng dùng VHDL thiết kế ở mức cổng có thể chuyển thành các bản tổng hợp mạch khác nhau tùy thuộc công nghệ chế tạo phần cứng nào được sử dụng, như vậy khi một công nghệ chế tạo phần cứng mới ra đời, nó có thể được áp dụng ngay cho các hệ thống đã thiết kế.

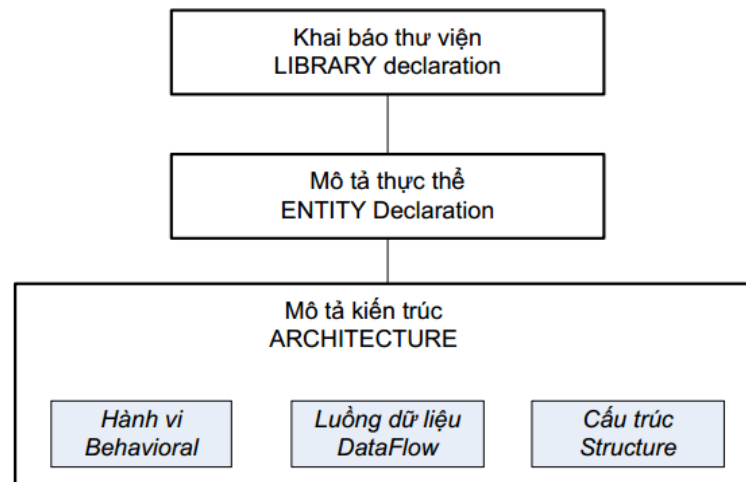
- Khả năng mô tả mở rộng: VHDL cho phép mô tả hoạt động của phần cứng từ mức hệ thống số cho đến mức cổng. VHDL có khả năng mô tả hoạt động của hệ thống trên nhiều mức nhưng chỉ sử dụng một cú pháp chặt chẽ thống nhất cho mọi mức. Như thế ta có thể

mô phỏng một bản thiết kế bao gồm cả các hệ con được mô tả ở mức cao và các hệ con được mô tả chi tiết.

- Khả năng trao đổi kết quả, tái sử dụng: Việc VHDL được chuẩn hóa giúp cho việc trao đổi các thiết kế giữa các nhà thiết kế độc lập trở nên hết sức dễ dàng. Bản thiết kế VHDL được mô phỏng và kiểm tra có thể được tái sử dụng trong các thiết kế khác mà trong phải lặp lại các quá trình trên.

### b. Cấu trúc một mô hình hệ thống mô tả bằng VHDL

Cấu trúc một mô hình hệ thống mô tả bằng VHDL gồm ba phần chính: phần khai báo thư viện, phần mô tả thực thể entity và phần mô tả kiến trúc architecture.



Hình 3.4. Cấu trúc một mô hình hệ thống mô tả bằng VHDL

Phần khai báo thư viện phải được đặt đầu tiên trong mỗi chương trình VHDL. Khai báo thư viện được bắt đầu từ khóa Library Tên thư viện (chú ý là VHDL không phân biệt chữ hoa chữ thường), sau đó khai báo các thư viện con sử dụng.

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
use IEEE.STD_LOGIC_ARITH.ALL;  
use IEEE.STD_LOGIC_UNSIGNED.ALL;
```

Hình 3.5. Khai báo thư viện

Phần khai báo thực thể (entity) là khai báo các mặt cấu trúc các cổng vào ra (port), các tham số tĩnh dùng chung (generic) của một chương trình VHDL.

Cú pháp:

```
entity [name_entity] is  
  
    generic (generic_variable_declarations);  
  
    port ( port_name : signal_mode signal_type);  
  
end [name_entity];
```

Trong đó: **entity**:khai báo tên của module

**generic**: khai báo các tham số tĩnh của thực thể

**port**: liệt kê các cổng giao tiếp của module.

**end**: kết thúc khai báo thực thể

Phần mô tả cấu trúc architecture là phần mô tả chính trong một chương trình VHDL, chứa nội dung về chức năng của module. Có ba dạng cấu trúc cơ bản là mô tả hành vi (behavioral), mô tả luồng dữ liệu (dataflow) và mô tả cấu trúc (structure).

Cấu trúc của mô tả kiến trúc tổng quát như sau:

```
architecture entity_name is  
  
    [declarations]  
  
begin  
  
    [statements]  
  
end entity_name;
```

Trong đó [declarations]:chức khai báo chương trình con,tín hiệu, module con,...

[statements]: chứa các phát biểu đồng thời hoặc các khối process chứa các phát biểu tuần tự.

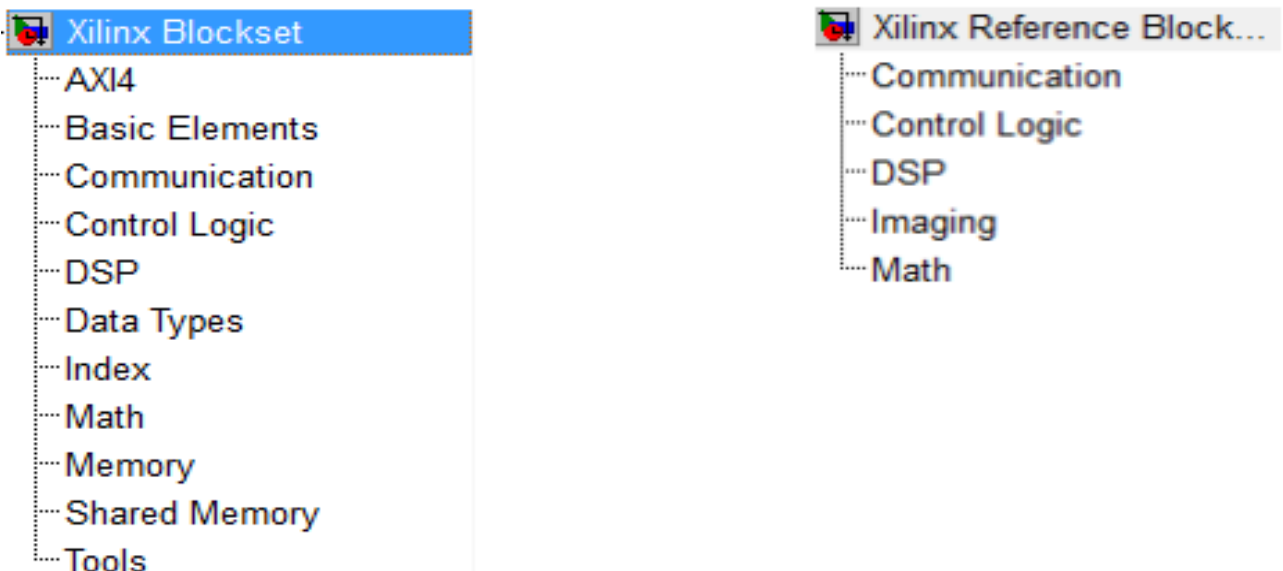
### 3.2.2. Toolbox System Generator for DSP trong Matlab/Simulink

System Generator là một công cụ thiết kế hệ thống giúp cho việc thiết kế các ứng dụng phần cứng trong FPGA và mô phỏng Simulink. Nó được sử dụng giống như các khối Simulink thông thường, cung cấp các khối tính toán toán học, logic, bộ nhớ, các khối DSP,... để xây dựng một hệ thống xử lý tín hiệu phức tạp. Bộ công cụ này cho phép lập trình FPGA bằng giao diện khối một cách trực quan, dễ sử dụng, khả năng mô hình hóa cao.

Chức năng chính của toolbox :

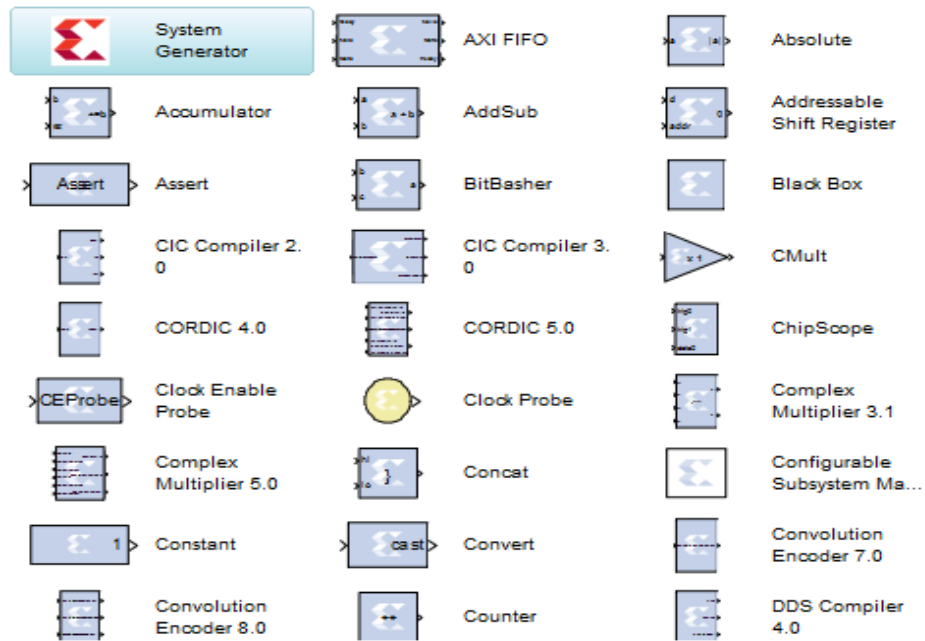
- Mô phỏng chương trình FPGA trực tiếp trên Simulink.
- Kết nối và mô phỏng trực tiếp kit phát triển với Matlab/Simulink (Hardware Co-Simulation).
- Dịch file mô phỏng sang ngôn ngữ VHDL, phục vụ cho lập trình FPGA trên ISE Xilinx.

Toolbox gồm hai thành phần chính là : Xilinx Blockset và Xilinx Reference Blockset.



Hình 3.6. Thành phần chính trong System Generator



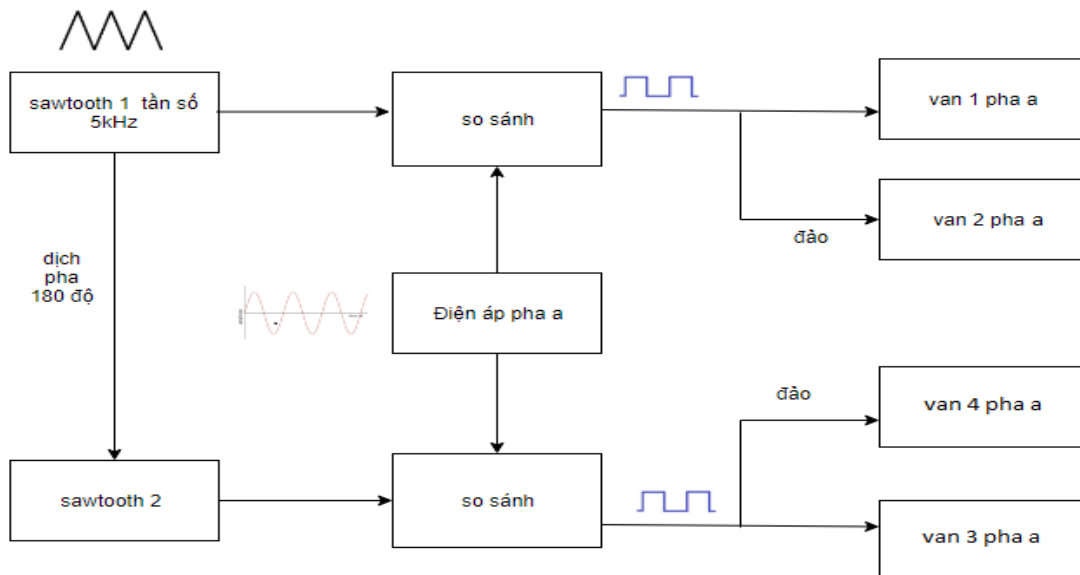


Hình 3.7. Các khối con trong Xilinx Blockset

### 3.3. Sơ đồ thuật toán điều chế PWM cho nghịch lưu ba pha ba mức

#### 3.3.1. Sơ đồ thuật toán Sin-PWM

Hình 3.8 là sơ đồ thuật toán điều chế Sin-PWM cho pha a, b,c và chọn phương pháp điều chế đơn cực cho cell.

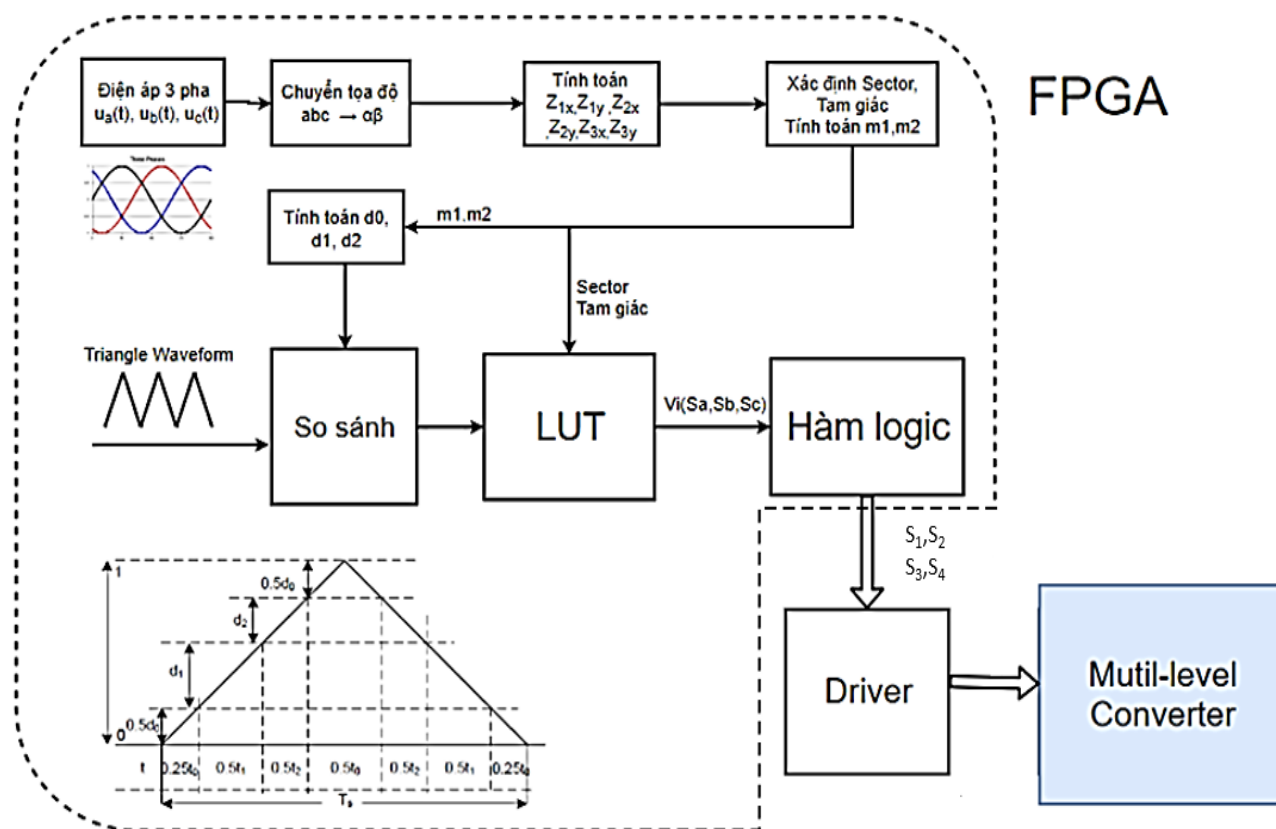


Hình 3.8. Sơ đồ thuật toán điều chế Sin-PWM pha a

Sóng răng cưa được so sánh với 3 tín hiệu sin chuẩn của 3 pha ( $u_a(t)$ ,  $u_b(t)$ ,  $u_c(t)$ ), kết quả so sánh lần lượt là xung cấp cho van 1 của cell. Đầu ra đảo cấp cho các van số 2 của các cell.

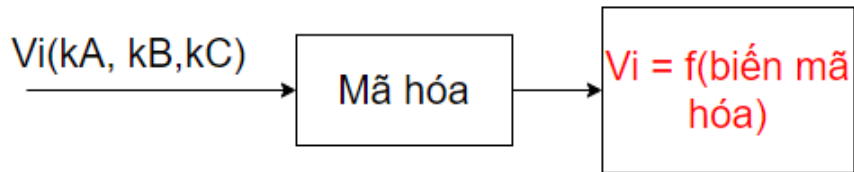
Tín hiệu xung răng cưa lệch  $180^\circ$  so với sóng răng cưa ban đầu được so sánh lần lượt với 3 tín hiệu sin chuẩn của 3 pha, kết quả so sánh lần lượt là xung cấp cho van số 3 của cell. Đầu ra đảo là xung sẽ cấp cho van 4 của cell.

### 3.3.2. Sơ đồ thuật toán SVM



Hình 3.9. Sơ đồ thuật toán SVM

Sau khi đã đưa ra được vector chuẩn  $\mathbf{V}_i$  cần thực hiện trong khoảng thời gian  $t$  tương ứng (trong một chu kỳ trích mẫu  $T_s$ ), ta tiến hành mã hóa. Do mạch nghịch lưu 3 pha 3 mức, trong mỗi pha chỉ có một cầu H, mỗi cầu H có 3 trạng thái nên ta chỉ cần 2 bit để mã hóa cho trạng thái của cầu H đó.



Hình 3.10. Mã hóa tín hiệu phát xung

Ta có bảng mã hóa như sau :

kA	2 bit mã hóa mức cell_1 pha a. kA1~B1B2		
	kA1	B1	B2
1	1	0	1
0	0	0	0
-1	-1	1	1

Bảng 3.1. Bảng mã hóa mức của 1 cell của pha a

Từ đó ta đi xây dựng các hàm logic ứng với các tín hiệu đi vào các van

kA	2 bit mã hóa cell_1pha a			Tín hiệu đến các van cell_1 pha a			
	kA1	B1	B2	S11	S12	S13	S14
1	1	0	1	1	0	0	1
0	0	0	0	1	0	1	0
-1	-1	1	1	0	1	1	0

Bảng 3.2. Bảng chân lý

Từ bảng trên (Bảng chân lý) ta tổng hợp các tín hiệu xung vào các van S11, S12, S13, S14 là hàm logic theo biến B1, B2

$$S11 = \overline{B1}$$

$$S12 = B1$$

$$S13 = B1 + \overline{B2}$$

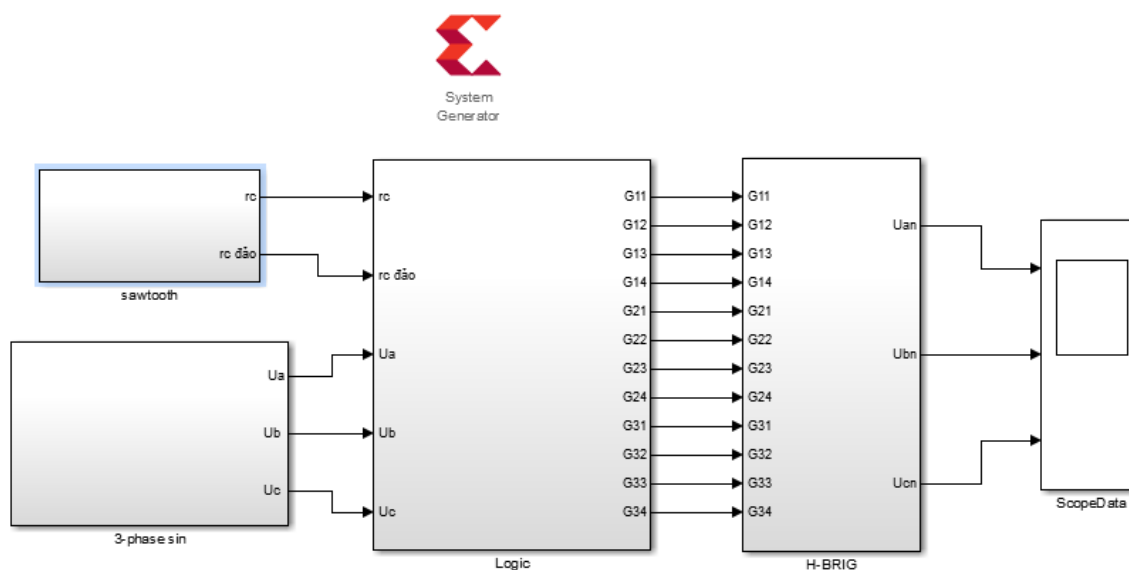
$$S14 = B1.\overline{B2} + \overline{B1}.B2$$

### 3.4 Lập trình FPGA điều chế PWM cho nghịch lưu ba pha ba mức

Việc lập trình thực hiện bằng Toolbox System Generation của Xilinx trong Simulink. Đây là dạng lập trình giao diện khối trực quan. Sau đây là một số kết quả thu được.

### 3.4.1 Lập trình FPGA cho điều chế Sin-PWM

#### a) Sơ đồ khối



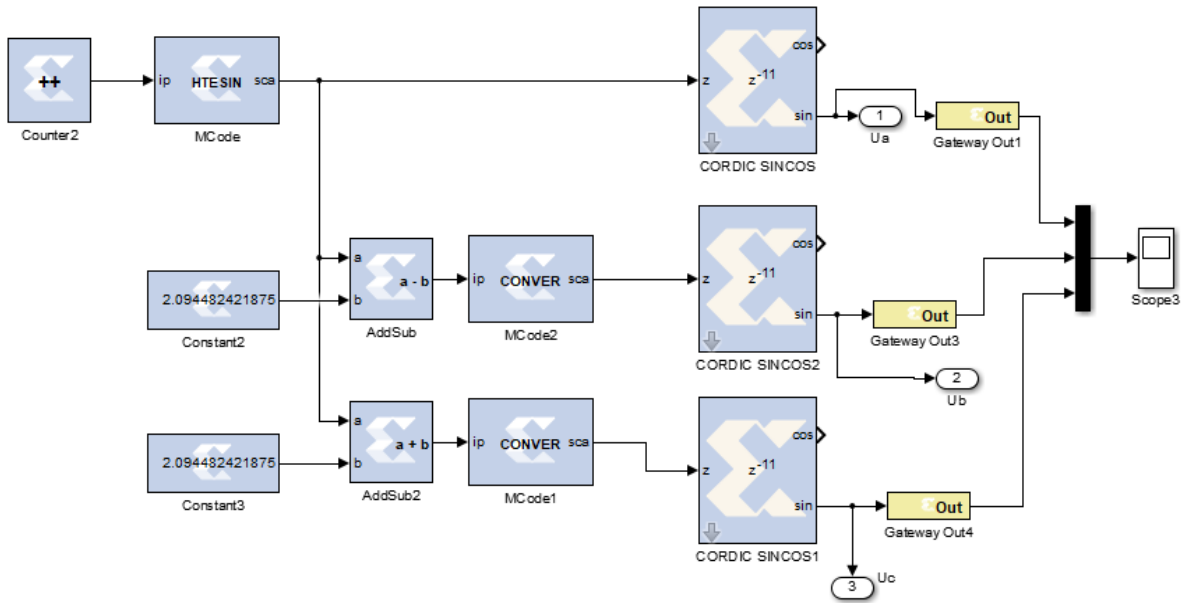
Hình 3.11. Sơ đồ khối PWM

Sơ đồ gồm các khối chức năng:

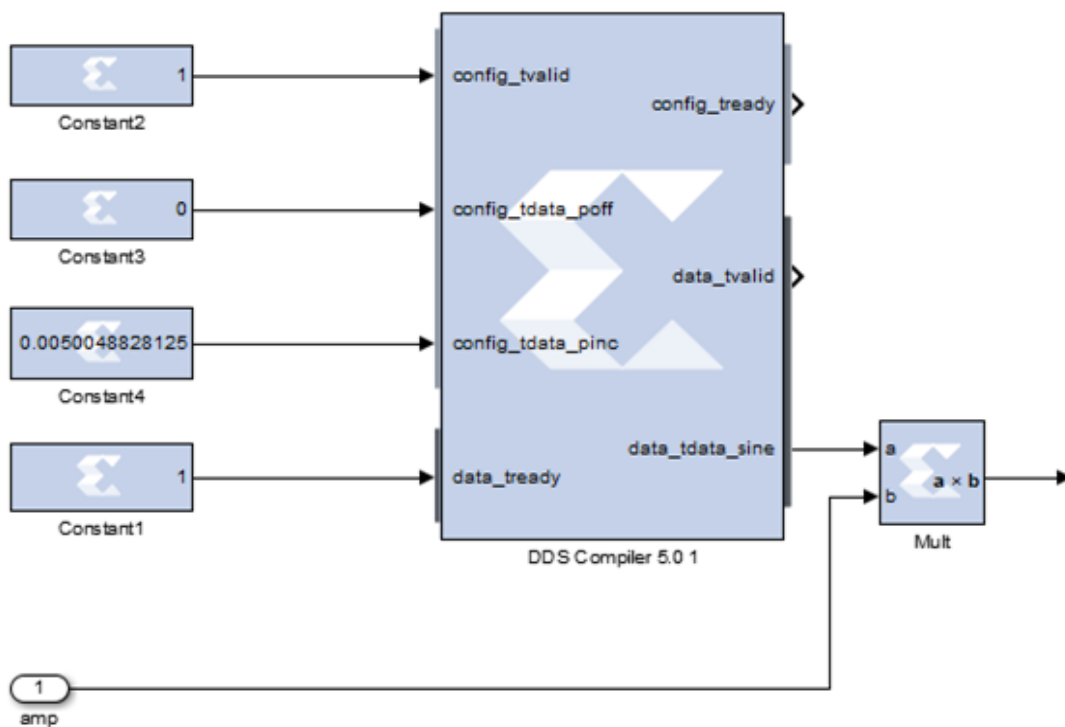
- Khối sawtooth: tạo sóng mang xung răng cưa
- Khối 3phase-sin: tạo điện áp sin chuẩn 3 pha
- Khối logic: đưa ra xung điều khiển cho từng van trong các cell
- Khối H-BRIG: khối mạch lực

#### b. Khối 3-phase Sin

Việc tạo ra sóng sin chuẩn được thực hiện bằng hai cách sau: dùng khối CORDIC SINCOS hoặc khối DDS trong Xilinx Blockset.



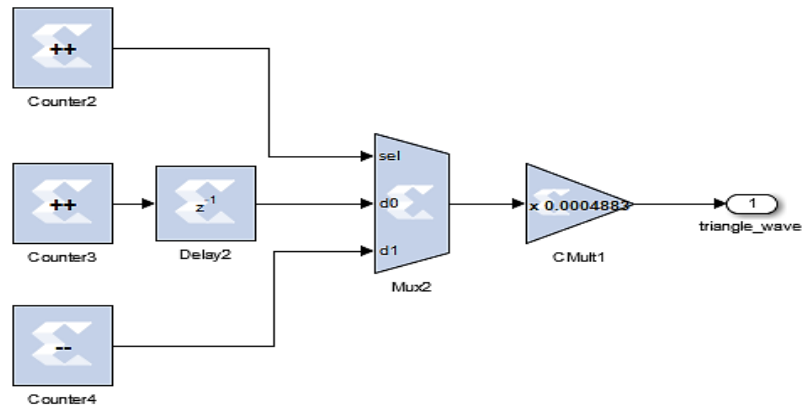
Hình 3.12. Khối tạo sóng Sin bằng CORDIC Block và Mcode



Hình 3.13. Khối tạo sóng Sin pha a bằng DDS Block

Sóng Sin Pha a, b, c lệch pha nhau  $120^\circ$ , có tần số là 50Hz.

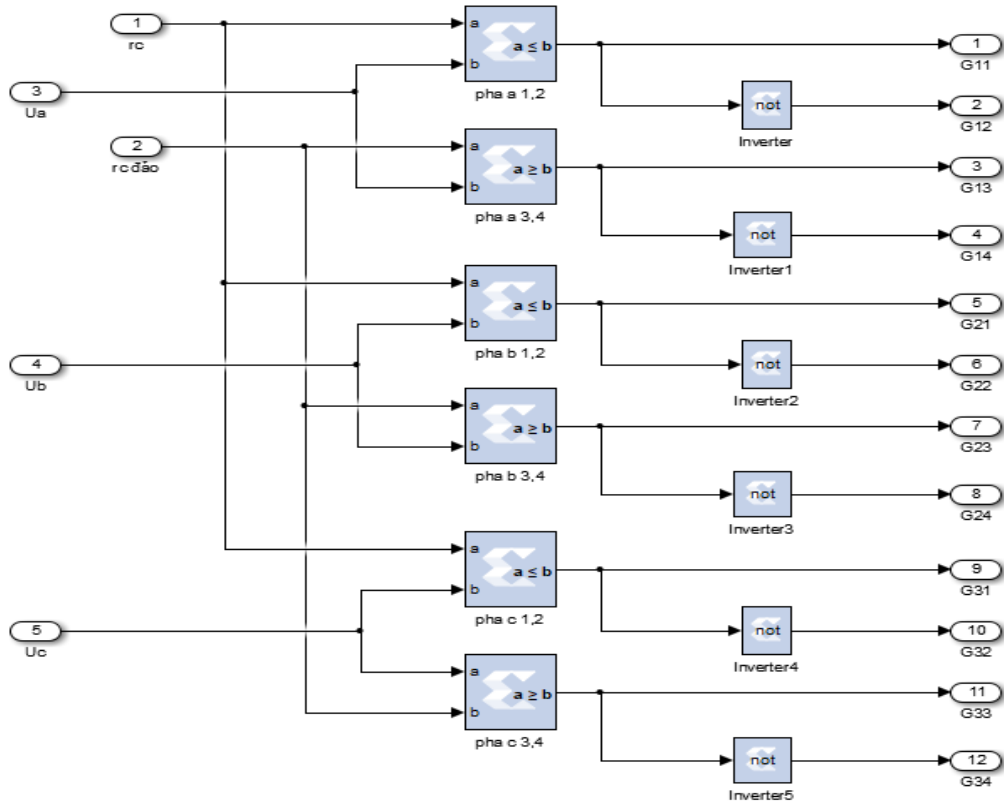
c. Khối Sawtooth



Hình 3.14. Khối tạo sóng răng cưa

Ta sử dụng 2 bộ đếm (Counter3 và Counter4) đếm tiến và đếm lùi để tạo 2 cạnh của sóng tam giác, và bộ đếm (Counter2) tạo xung vuông quy định chu kỳ sóng tam giác ra mong muốn.

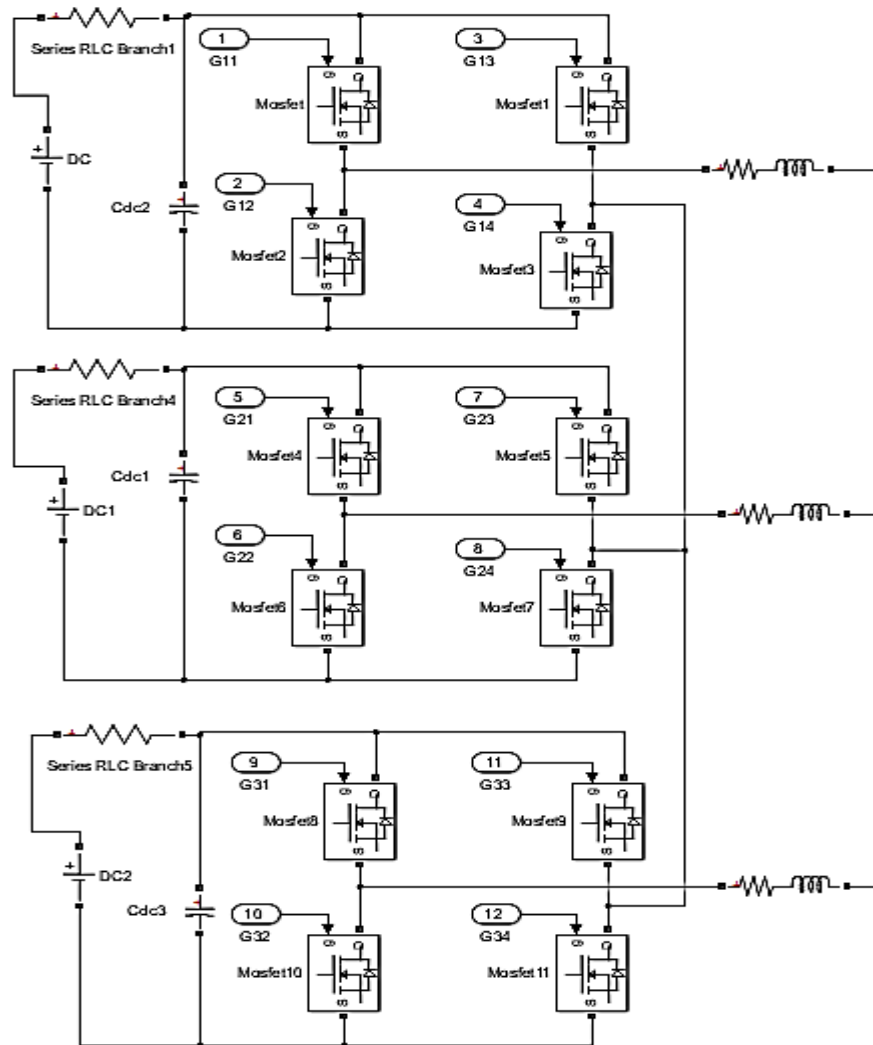
d. Khối logic



Hình 3.15. Khối logic

Sử dụng 2 tín hiệu sóng răng cưa lệch pha nhau  $180^\circ$  để điều chế cho 1 pha. So sánh với 3 tín hiệu Sin chuẩn 3 pha (a,b,c) lệch nhau  $120^\circ$  xuất các xung ra cho từng van các cell theo phương pháp điều chế đơn cực.

*e. Khối H-BRIG*



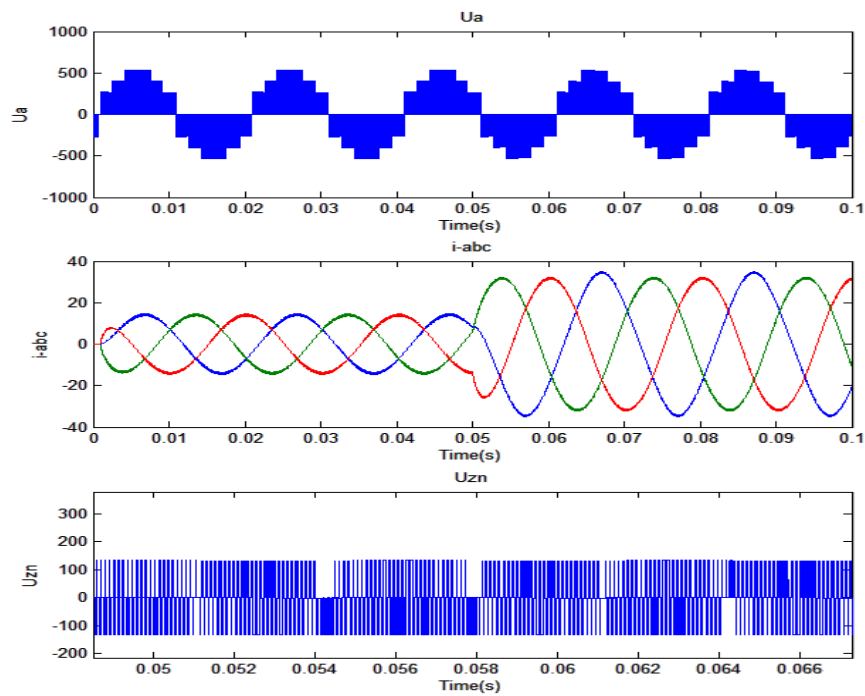
*Hình 3.16. Khối H-BRIDGE*

Khối mạch lực gồm 3 cell, mỗi cell là 1 mạch cầu H với 4 van IGBT mắc song song ngược với diode để trao đổi công suất phản kháng với nguồn.

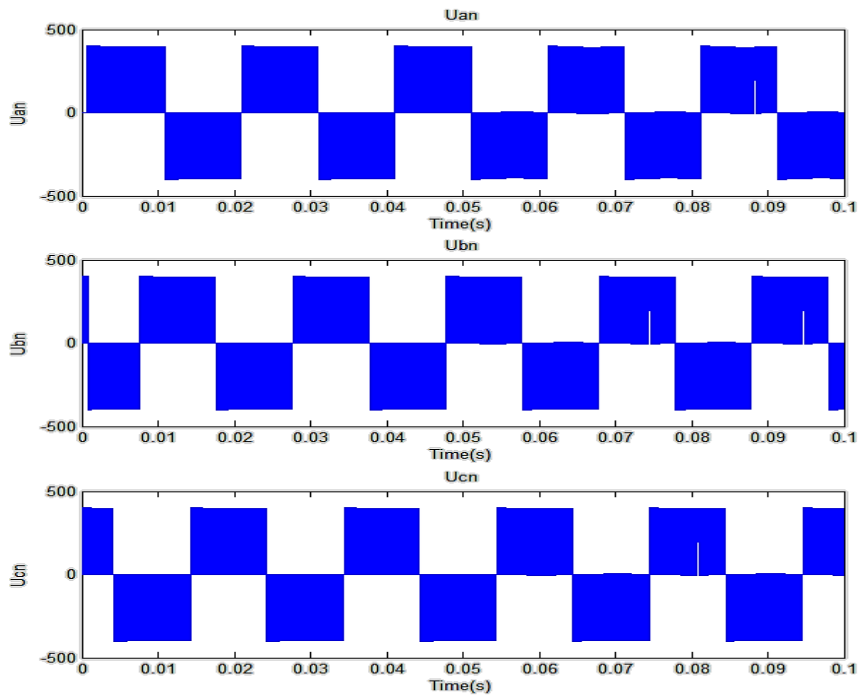
Nguồn DC của mỗi cell là  $V_{dc} = 400V$ , tải RL với  $R = 10\Omega$ ,  $L = 10mH$ .

f. Kết quả mô phỏng với Xilinx blockset

Tín hiệu đặt  $V_{ref} = 150V$  từ  $t = 0 - 0,05s$  và tín hiệu đặt  $V_{ref} = 375V$  từ  $t = 0,05 - 0,1s$

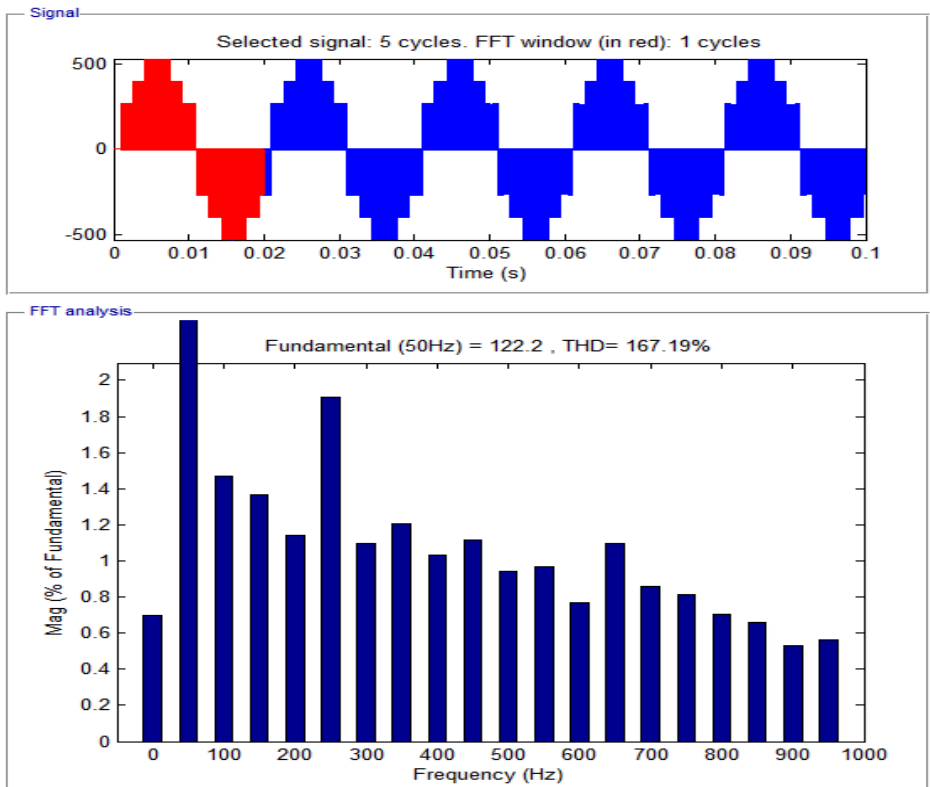


Hình 3.17. Đồ thị điện áp, dòng điện ra tải và  $V_{ZN}$

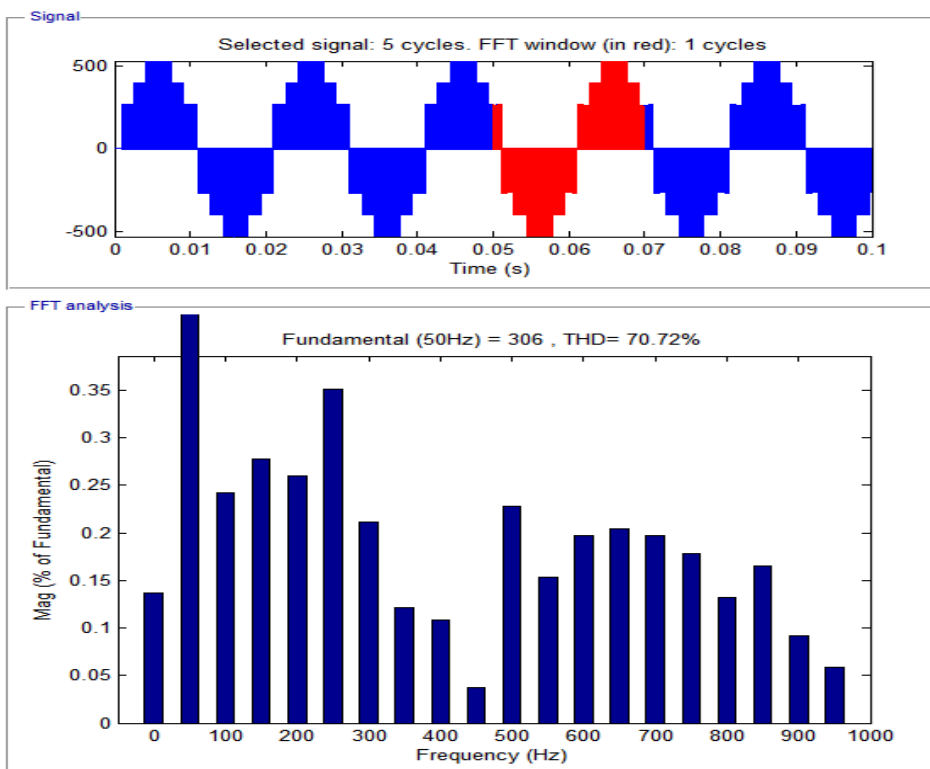


Hình 3.18. Mức điện áp đầu ra ba pha





Hình 3.19. Phân tích FFT biên độ  $V_{ref}$  là 150,  $f = 50$  hz



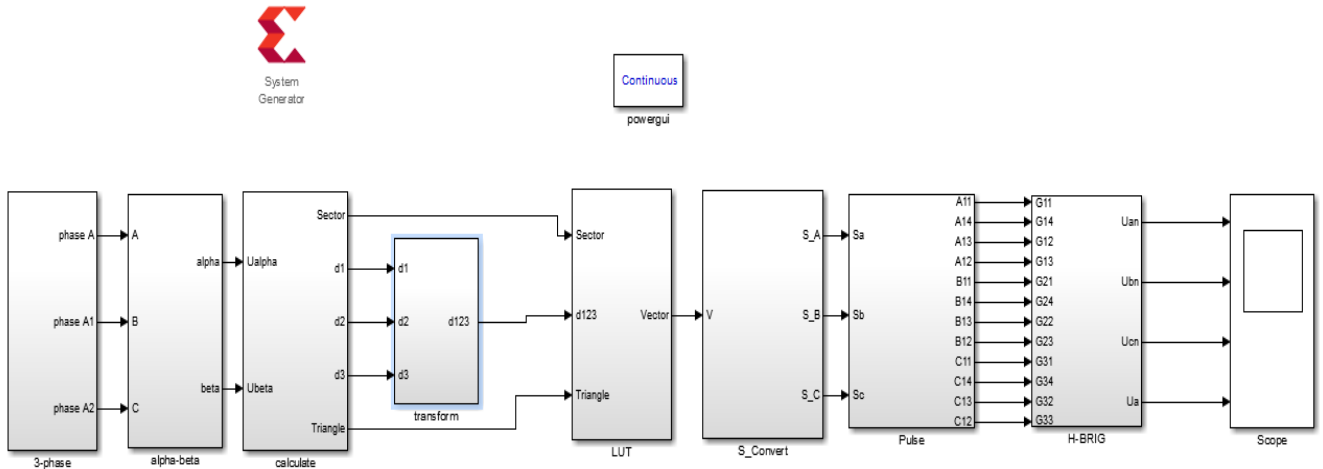
Hình 3.20. Phân tích FFT biên độ  $V_{ref}$  là 375V,  $f = 50$  hz

Nhận xét:

- Chu kì điện áp pha là 0.02s, thỏa mãn tần số 50Hz.
- Điện áp pha bám giá trị đặt.

### 3.4.2. Lập trình FPGA trong điều chế vectơ không gian SVM

#### a. Sơ đồ khối



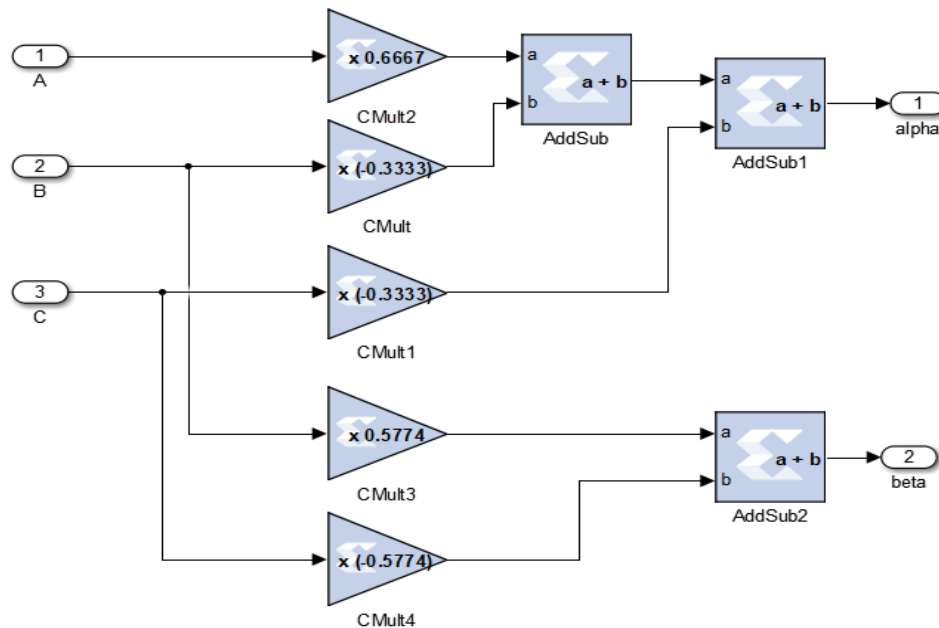
Hình 3.21. Sơ đồ khối SVM

Các khối chức năng:

- Khối 3phase-sin: tạo điện áp sin chuẩn 3 pha.
- Khối alpha-beta: chuyển tọa độ abc về tọa độ  $\alpha\beta$ .
- Khối Calculate: tính toán các hệ số điều chế  $d1, d2, d3$ .
- Khối Transform: chuyển đổi các tín hiệu  $d1, d2, d3$  đơn lẻ về dạng xếp chồng.
- Khối LUT: bảng chọn vector chuẩn.
- Khối S\_Convert: đưa ra trạng thái điện áp từng pha
- Khối PWM: đưa ra xung cấp cho từng van trong từng cell
- Khối H-BRIDGE: mạch lực

Trong đó khối 3phase-sin và khối H-BRIDGE tương tự với phương pháp sin-PWM.

b. Khối chuyển tọa độ abc → alpha-beta

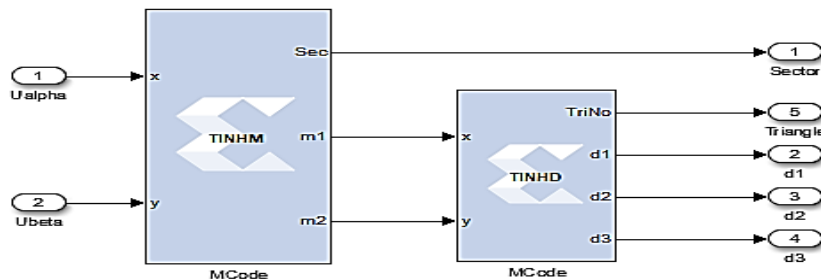


Hình 3.22. Khối chuyển tọa độ abc sang alpha-beta

Điện áp  $v_\alpha$  và  $v_\beta$  trên khung tọa độ  $\alpha\beta$  được tính toán từ  $v_a(t)$ ,  $v_b(t)$ ,  $v_c(t)$  bằng công thức :

$$\begin{cases} v_\alpha = v_A \\ v_\beta = \frac{1}{\sqrt{3}}(v_B - v_C) \end{cases}$$

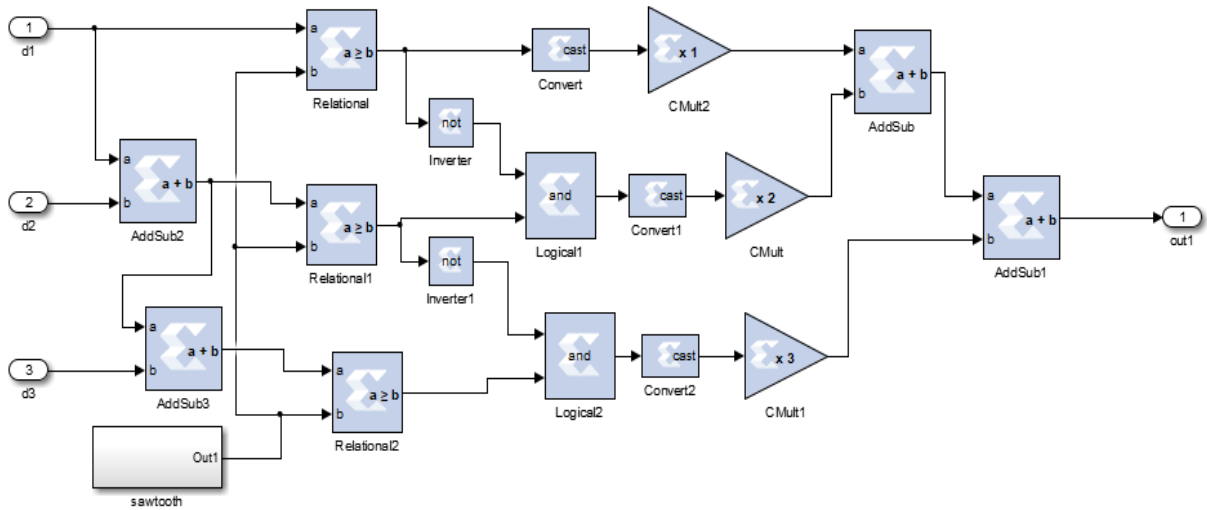
c. Khối Calculate



Hình 3.23. Khối tính toán hệ số biến điện

Điện áp  $V_\alpha$ ,  $V_\beta$  được tính toán theo lý thuyết để xác định các hệ số điều chế  $d_1, d_2, d_3$  đồng thời xác định được vecto điện áp  $V_{ref}$  mong muốn nằm trong sector và tam giác nào.

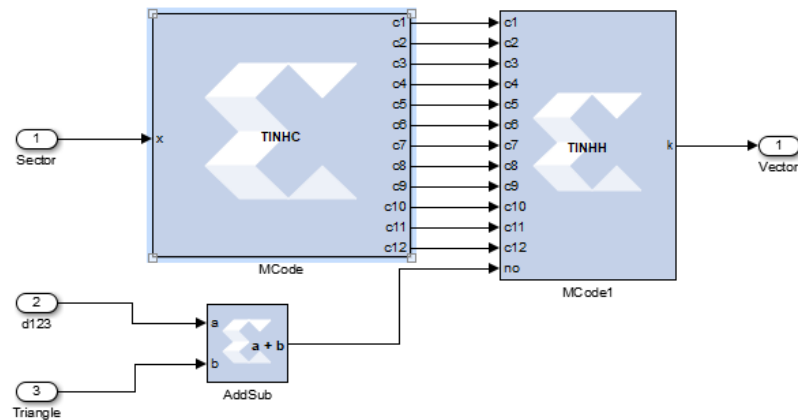
*d. Khối Transform*



Hình 3.24. Khối transform

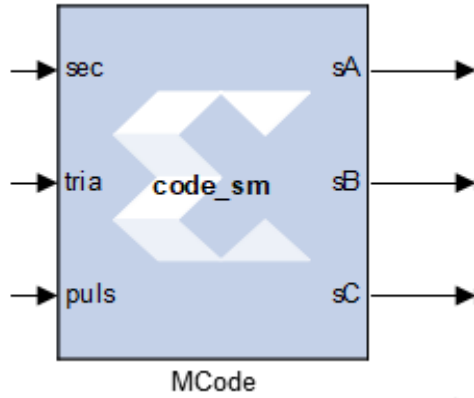
Các tín hiệu  $d_1, d_2, d_3$  được so sánh với sóng tam giác, các tín hiệu đầu ra được chuyển đổi từ dạng tương tự sang dạng số, và xếp chồng thành 1 tín hiệu đầu ra quy định thứ tự thực hiện các vecto trong 1 chu kỳ  $T_{pwm}$

*e. Khối LUT*



Hình 3.25. Khối LUT theo tối ưu  $V_{ZN}$

Vector chuẩn được điều chế được chọn từ các bảng chọn với 2 tín hiệu đầu là Sector và Row trong Hình 3.23

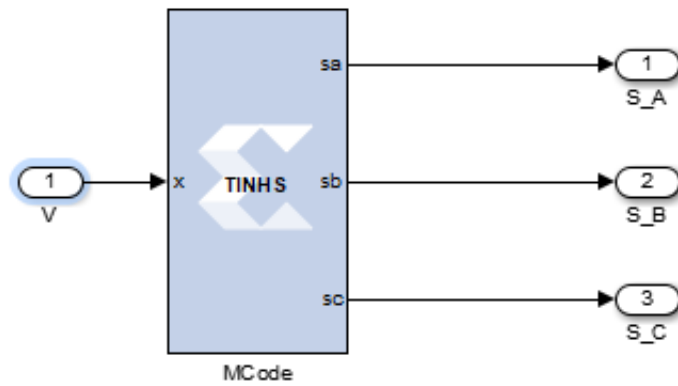


Hình 3.26. Khối LUT theo tối ưu đóng cắt

Với luật tối ưu đóng cắt cần 3 tín hiệu đầu vào : Sector, Triangle, Pulse

Trong đó tín hiệu Pulse là tín hiệu quy định thứ tự thực hiện các vecto

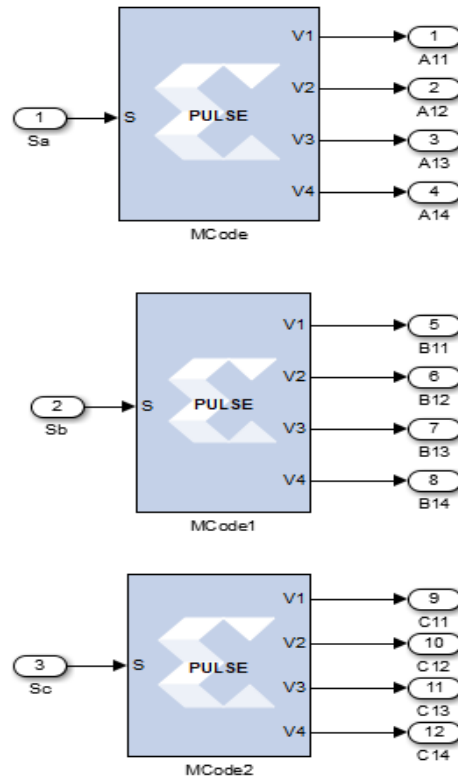
f. Khối S\_Vector



Hình 3.27. Khối S\_Vector

Với mỗi vecto chuẩn theo phương pháp chọn  $V_{ZN}$  nhỏ nhất sẽ ứng với mức các pha  $S_a, S_b, S_c$

g. Khối Pulse



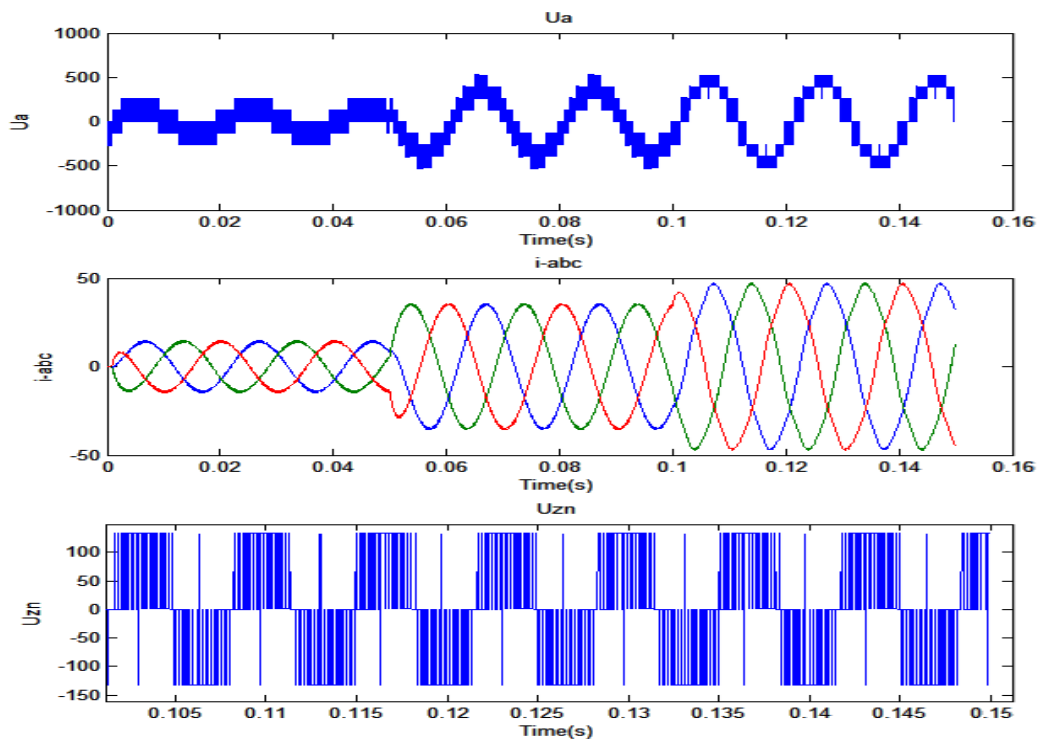
Hình 3.28. Khối Pulse

Mỗi trạng thái điện áp pha sẽ ứng với trạng thái đóng mở của từng van trong pha đó. Như vậy ta sẽ xác định được xung cấp cho từng van tất cả các cell.

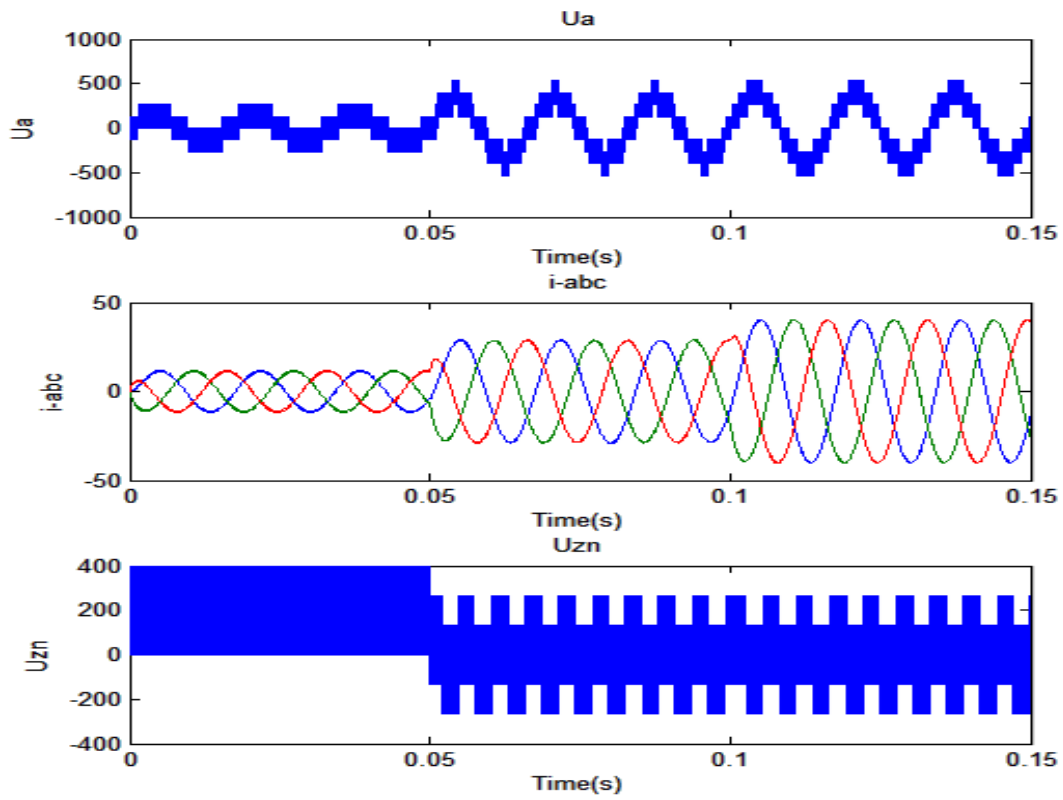
h. Kết quả mô phỏng

Thông số mô phỏng:

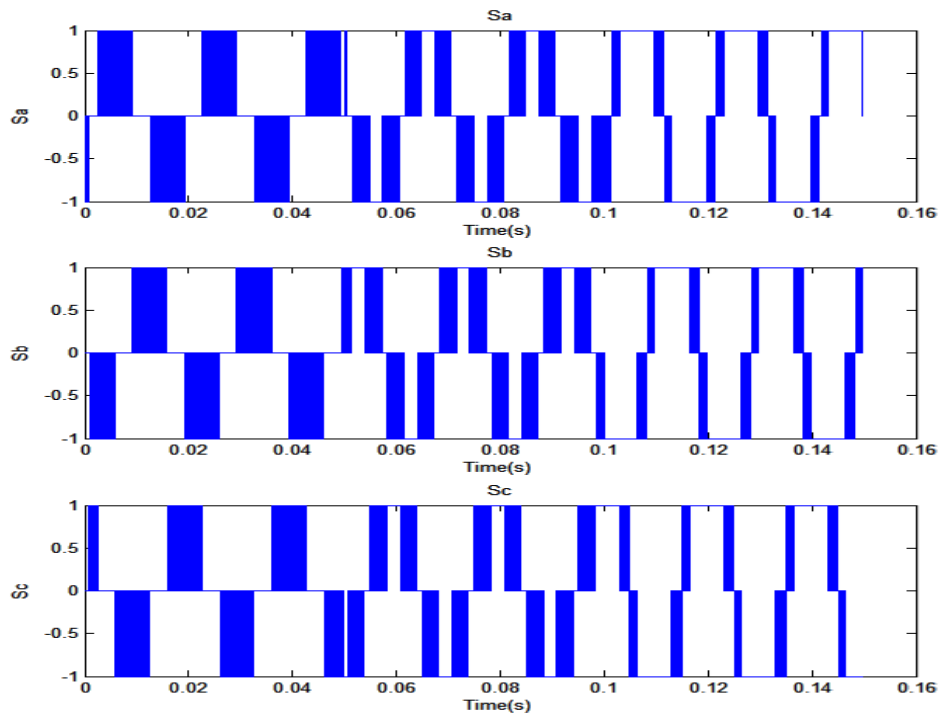
- Tải 3 pha, mỗi pha :  $R=10 \Omega, L = 10mH$
- $U_{dc} = 400 V$
- Tín hiệu đặt có biên độ : 
$$V_{ref} = \begin{cases} 150V, 0 < t < 0.05s \\ 375V, 0.05 < t < 0.1s \\ 525V, t > 0.1s \end{cases}, f = 50hz$$



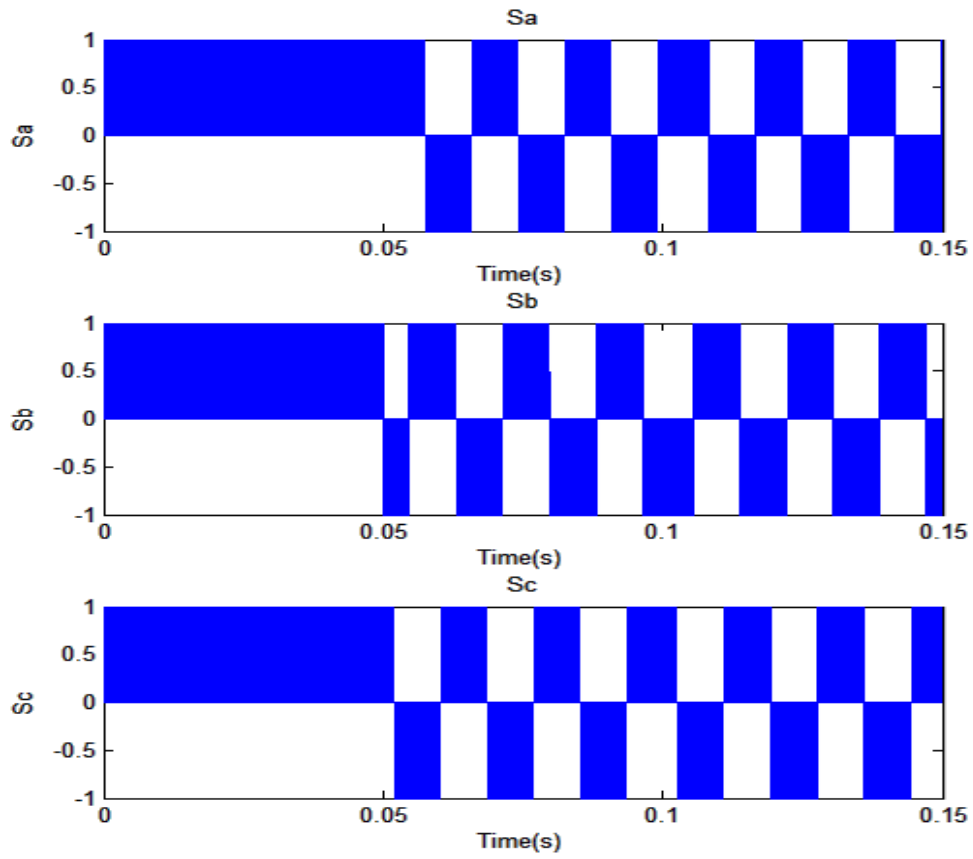
Hình 3.29. Điện áp, dòng điện ra tải và  $V_{ZN}$  theo tối ưu  $V_{ZN}$



Hình 3.30. Điện áp, dòng điện ra tải và  $V_{ZN}$  theo tối ưu đóng cắt



Hình 3.31. Mức điện áp các pha theo tối ưu  $V_{ZN}$

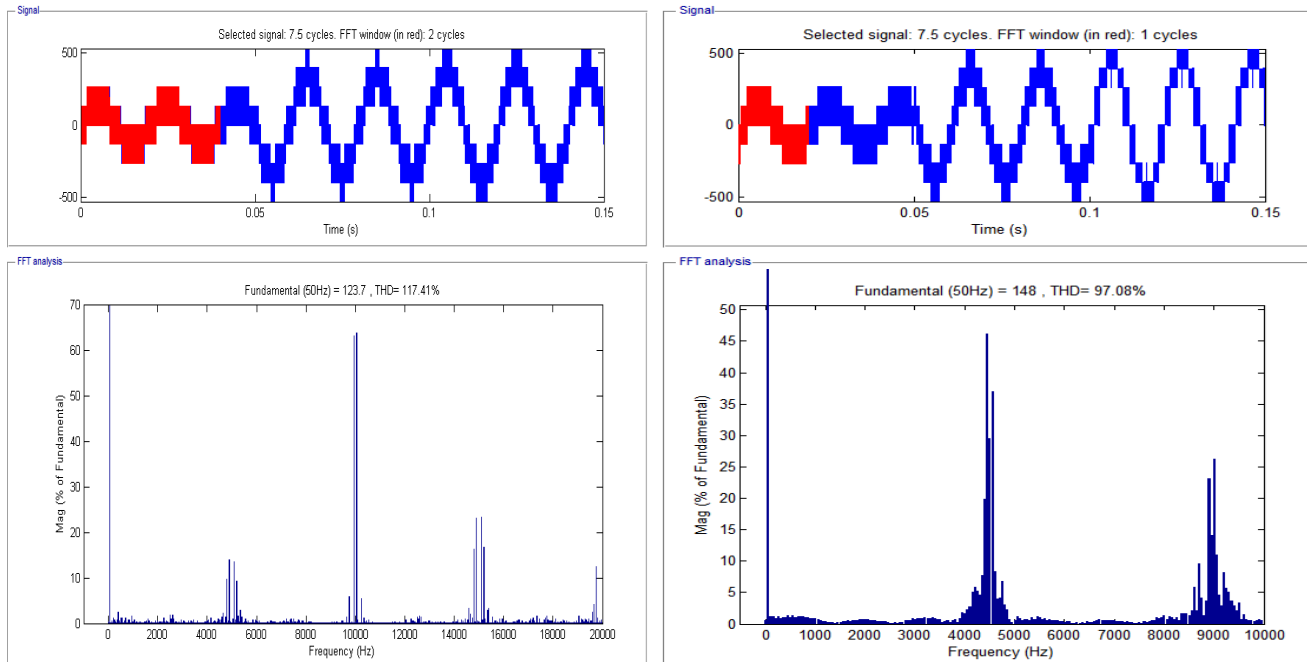


Hình 3.32. Mức điện áp các pha theo tối ưu đóng cắt

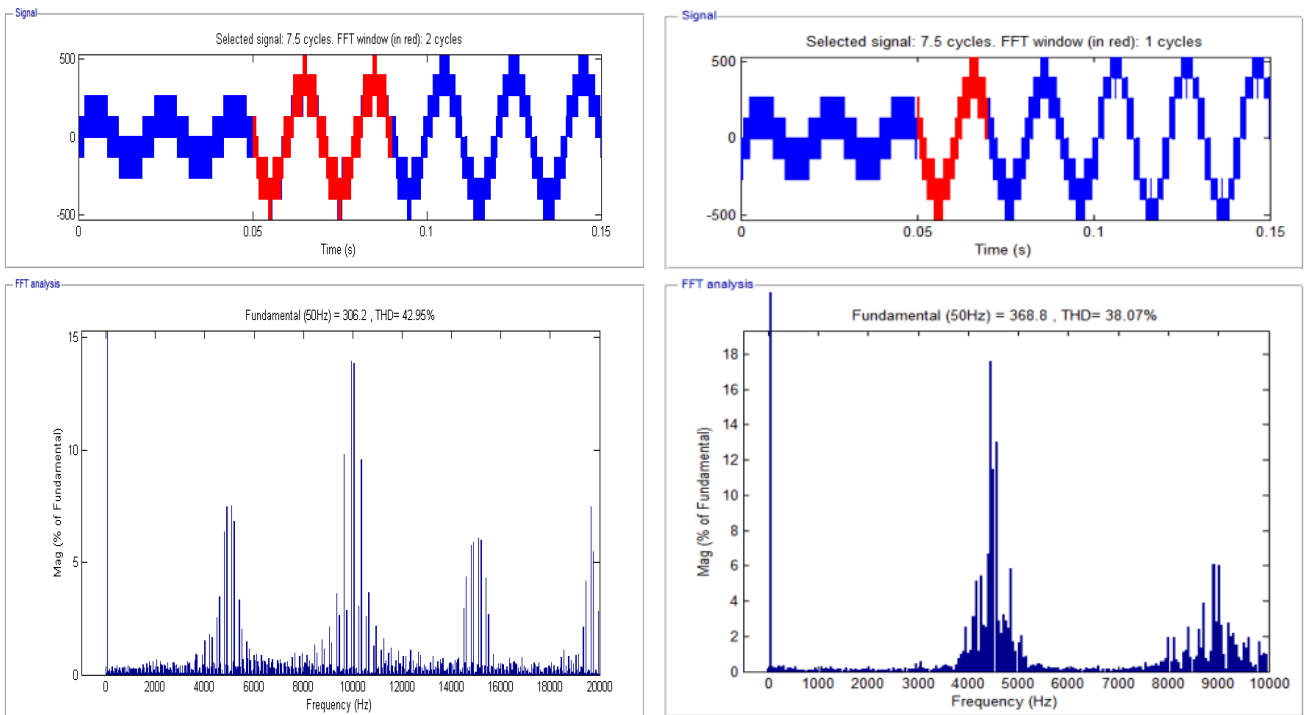


i. Nhận xét

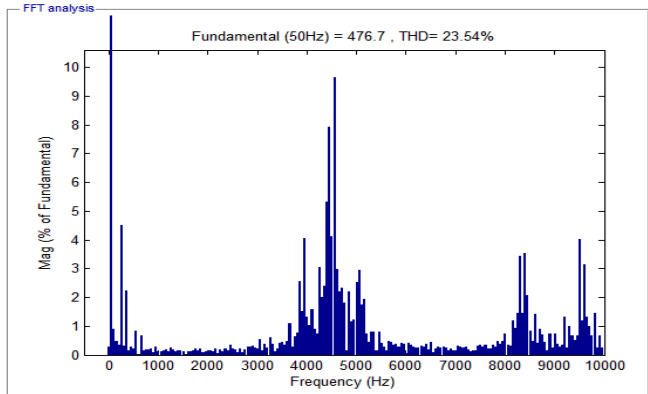
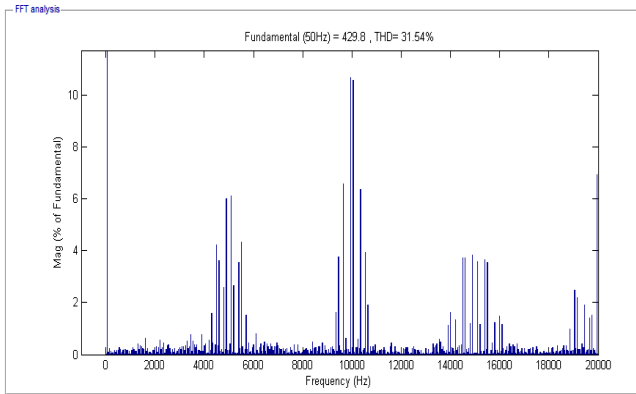
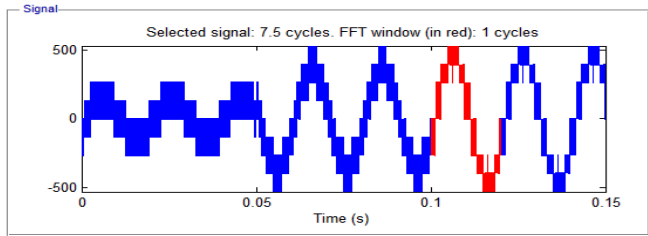
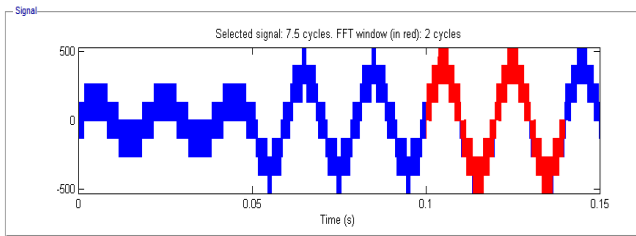
Đánh giá THD lần lượt tối ưu đóng cắt và tối ưu common mode voltage



Hình 3.33. THD ứng với  $V_{ref} = 150$ ,  $f = 50$  Hz



Hình 3.34. THD ứng với  $V_{ref} = 375$ ,  $f = 50$  Hz



Hình 3.35. THD ứng với  $V_{ref} = 525$ ,  $f = 50\text{Hz}$

## KẾT LUẬN CHUNG

Trong thời gian nghiên cứu đề tài “*Tìm hiểu và ứng dụng FPGA cho nghịch lưu nguồn áp ba pha ba mức sử dụng hai phương pháp Sin PWM và SVM*”, em đã thu được những kết quả: Cơ sở lý thuyết nghịch lưu nguồn áp ba pha ba mức; Nội dung hai phương pháp điều chế độ rộng xung SinPWM và SVM; Ứng dụng FPGA cho điều chế độ rộng xung; Mô phỏng và kiểm chứng kết quả.

Một lần nữa em xin chân thành cảm ơn sự hướng dẫn tận tình của thầy giáo TS. Vũ Hoàng Phương đã giúp đỡ em hoàn thành đồ án này. Do hạn chế về thời gian nghiên cứu và bản thân em còn thiếu nhiều kinh nghiệm nên đồ án vẫn còn tồn tại những thiếu sót. Em rất mong nhận được sự góp ý của thầy cô và các bạn để đồ án được hoàn thiện hơn.

Em xin chân thành cảm ơn!

## TÀI LIỆU THAM KHẢO

- [1] Trần Trọng Minh, “Nghịch lưu đa cấp (Multilevel Converter)”, Tự động hóa công nghiệp 2015.
- [2] Trần Trọng Minh, Vũ Hoàng Phương, “Thiết kế điều khiển cho các bộ biến đổi điện tử công suất”, 2014.
- [3] Trần Trọng Minh, “Thiết kế điều chế vector không gian tối ưu thành phần sóng hài cho nghịch lưu ba pha đa mức nối tầng cầu H”, Chuyên san Điều khiển và Tự động hóa, số 15, 04/2016.
- [3] Xilinx Company, “System Generator for DSP”, 2009.
- [4] B. P. McGrath, D. G. Holmes and T. Lipo, "Optimized space vector switching sequences for multilevel inverters," in *IEEE Transactions on Power Electronics*, vol. 18, no. 6, pp. 1293-1301, Nov. 2003.
- [5] Nageswari, S & Kumar, V.S.. (2012). FPGA implementation of sampled space vector pulse width modulation technique for two level inverter. *Journal of Electrical Engineering*. 12. 182-187.
- [6] Sagar, Pankaj & Gopinathan, Shiny & Baiju, M.R.. (2013). Space Vector Based Pulse Width Modulation Scheme for Multilevel Inverters Using the Concept of Multi-Valued Logic. *Proceedings of the International Conference on Power Electronics and Drive Systems*. 1360-1365. 10.1109/PEDS.2013.6527231